

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-029911

(43)Date of publication of application : 31.01.1995

(51)Int.Cl.

H01L 21/322

H01L 27/12

(21)Application number : 05-192853

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 07.07.1993

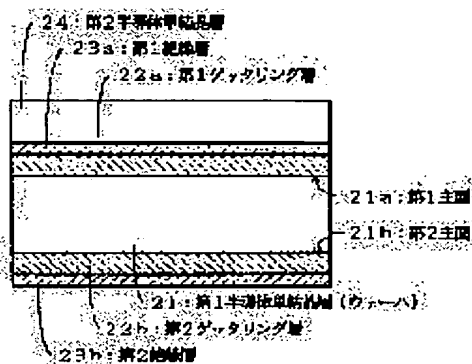
(72)Inventor : AMAI TSUTOMU

(54) SEMICONDUCTOR SUBSTRATE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To obtain stable gettering capability which can restrain dislocation of process induction and crystal defect of OSF or the like, relieve adverse influence caused by substrate structure upon device characteristics, prevent the warp of a substrate, and improve and stabilize the manufacturing yield of a device.

CONSTITUTION: A dielectric isolation semiconductor substrate consists of the following; a first thick semiconductor layer 21 turning to a base, a first and a second gettering layers 22a, 22b formed on both main surfaces of the first semiconductor layer 21, a first and a second insulating layers 23a, 23b formed on both outside main surfaces of the gettering layers 22a, 22b, and a second semiconductor layer 24 of an active layer which is bonded to the outside main surface of the first insulating layer 23a. A substrate formed by an EG method is a substrate wherein two wafers hold a gettering layer between them and are stuck in a body. The substrate is worked and polished to have a specified thickness wherein the gettering layer is positioned at the center part of the thickness direction.



*** NOTICES ***

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]The 1st gettering layer and the 2nd gettering layer which have the gettering capability formed in each on the 1st principal surface of the 1st semiconductor single crystal layer and this 1st semiconductor single crystal layer, and the 1st principal surface and the 2nd principal surface of an opposite hand, A semiconductor substrate possessing the 1st insulating layer formed on an outside principal surface of the 1st gettering layer, the 2nd insulating layer covered by the 2nd insulating layer or a protective layer formed on an outside principal surface of the 2nd gettering layer, and the 2nd semiconductor single crystal layer formed on an outside principal surface of the 1st insulating layer.

[Claim 2]A process of forming the 1st gettering layer and the 2nd gettering layer, respectively on the 1st principal surface of the 1st semiconductor single crystal layer, and the 2nd principal surface, Further this layer by a protective layer after forming a process of forming the 1st insulating layer on an outside principal surface of the 1st gettering layer, a process of forming the 2nd insulating layer on an outside principal surface of the 2nd gettering layer, or the 2nd insulating layer A wrap process, A manufacturing method of the semiconductor substrate possessing a process of forming the 2nd semiconductor single crystal layer by wafer adhesion art on an outside principal surface of the 1st insulating layer according to claim 1.

[Claim 3]A process of forming a gettering layer which has gettering capability on the 1st principal surface of the 1st semiconductor single crystal layer, A process of forming the 2nd semiconductor single crystal layer by wafer adhesion art on an outside principal surface of this gettering layer, So that board thickness of a laminated circuit board which consists of the 1st semiconductor single crystal layer, a gettering layer, and the 2nd semiconductor single crystal layer may be made into predetermined thickness and said gettering layer may be located in the central part of a thickness direction of a laminated circuit board, A manufacturing method of a semiconductor substrate having the process of carrying out processing polish of both the 1st semiconductor single crystal layer, and the 2nd both [either or].

[Claim 4]A semiconductor substrate which is provided with the following and characterized by board thickness of this laminated circuit board being predetermined thickness, and locating a gettering layer in the central part of a thickness direction of a laminated circuit board.

The 1st semiconductor single crystal layer.

A gettering layer which has the gettering capability formed on the 1st principal surface of this 1st semiconductor single crystal layer.

The 2nd semiconductor single crystal layer formed on an outside principal surface of this gettering layer.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application]In this invention, it is related with a semiconductor substrate and a manufacturing method for the same.

Therefore, the dielectric isolation substrate or lamination board which has especially gettering capability is started.

[0002]

[Description of the Prior Art]

(A) The thing of structure as shown in drawing 29 as an example of a semiconductor device with dielectric isolation construction is known conventionally. In the figure, dielectric separation of the silicon single crystal layer 1 and the silicon single crystal layer 3 is mutually carried out via the insulating layer 2. Two or more elements which constitute this semiconductor device are formed in the silicon single crystal layer 3, and it is called an active layer to it. This active layer is divided into two or more element formation regions by the slot called a trench. A trench is filled up with drawing 29 by the insulating layer 4 and the polysilicon layer 5, and in an element formation region. The N⁻ type silicon layer (collector region) 6, the N type impurity diffused layer (collector contact field) 7, the P type impurity diffused layer (base area) 8, and the N type impurity diffused layer (emitter region) 9 are formed.

[0003]The thing as shown in drawing 26 thru/or drawing 28 as a manufacturing method of the substrate of a semiconductor device with said dielectric isolation construction is known.

[0004]Drawing 26 is a sectional view for explaining the manufacturing method by melting recrystallizing method. That is, after forming the silicon oxide (Si O₂) layer 2 on the silicon single crystal layer (wafer) 1, deposition formation of the polysilicon layer 5 (or amorphous silicon layer 5a) is carried out on this silicon oxide layer 2. And it is the method of irradiating with laser or the electron beam 10, and carrying out solid phase growth of the silicon single crystal layer (active layer) one by one by carrying out melting recrystallization.

[0005]Drawing 27 is a sectional view for explaining the manufacturing method by the SIMOX (Separation by Implanted Oxygen) method. the silicon single crystal wafer 1 -- oxygen ion (¹⁶O⁺ or ³²O₂⁺) -- the silicon oxide layer 2 is embedded by pouring in 11. Next, in order to remove the defect induced at the time of this ion implantation, high temperature annealing is performed. Then, in order to secure the thickness of the active layer doubled with the purpose, it grows epitaxially.

[0006]Drawing 28 (a) is a sectional view for explaining the manufacturing method by wafer adhesion. namely, -- The silicon oxide layer 2 is formed by using the silicon single crystal wafers 1 and 3 of two sheets, and oxidizing thermally the wafer [on the other hand / (or both)]. Then, the silicon single crystal wafers 1 and 3 of two sheets are mutually pasted up on both sides of the silicon oxide layer 2. And processing polish of the surface of the silicon single crystal wafer 3 is carried out to required thickness.

[0007]However, a problem as shown below, respectively is among the methods shown in drawing 28 (a) from these drawing 26.

[0008]In the melting recrystallizing method shown in drawing 26, since the active layer formed by this method is inferior to crystallinity, it cannot use it for a high integration device.

[0009]In the SIMOX method shown in drawing 27, in order to perform an ion implantation, an active layer

receives a damage (damage damage) and is inferior to crystallinity. When growing epitaxially, the damage influences an epitaxial layer and is unsuitable for using it for a high integration device.

[0010]It mentioned above in the process by the wafer adhesion shown in drawing 28 (a). There is no fault like two manufacturing methods, and it is equivalent to the mirror wafer (wafer by which mirror polishing was carried out) usual in the crystalline point of an active layer.

[0011]However, in the silicon single crystal wafer 3 by the side of the active layer which forms an element. In the process of being easy to produce the defect of process induction of a trench process, a LOCOS (LocalOxidation of Silicon) process, etc., Gettering capability by a substrate cannot be expected but crystal defects, such as a rearrangement and OSF (Oxidation-induced Stacking Fault), may arise.

[0012]In order to solve this problem, as shown in drawing 28 (b), between the silicon single crystal wafers 3 by the side of the silicon oxide layer 2 and a device active layer, By forming the polysilicon layer (it is also called a buffer layer or a gettering layer) 5, and carrying out gettering of the metal impurity in the process of being easy to produce the defect of process induction, Controlling crystal defects induced by processes, such as a trench process and a LOCOS process, such as a rearrangement and OSF, is performed.

[0013]However, there are the following problems in the dielectric isolation substrate which provided the polysilicon layer with the gettering capability shown in drawing 28 (b).

[0014](a) Processing polish of the thickness of the silicon single crystal layer (wafer) 3 which is an active layer is carried out so that it may usually be set to 20 micrometers or less. On the other hand, the thickness of the silicon single crystal layer 1 used as a stand is usually about 500 micrometers. Therefore, since the silicon oxide (Si O_2) layer and polysilicon layer whose coefficient of thermal expansion is smaller than single crystal silicon will incline and exist in the substrate upper part, the curvature that the silicon single crystal layer 3 side used as an active layer becomes a convex is produced. In an exposure process, this causes trouble and desired element pattern formation becomes difficult.

[0015](b) Although producing many BMD(s) (Bulk Micro Defect) rather than the substrate which does not have a polysilicon layer around a polysilicon layer by heat-treating is known, the substrate which has a polysilicon layer, In the structure shown in drawing 28 (b), since the silicon single crystal layer 3 and the polysilicon layer 5 used as an active layer have touched directly, BMD occurs mostly in the active layer of a device, and is considered to have an adverse effect on the characteristic of a device, and the yield.

[0016](c) Since the polysilicon layer 5 is directly in contact with the device active layer 3, to have an adverse effect on the electrical property of a device is considered by the interface state.

[0017](d) Although the field of the polysilicon layer 5 and the silicon single crystal wafer 3 by the side of a device active layer are to deposit the silicon oxide layer 2 and the polysilicon layer 5 on the silicon single crystal wafer 1, and to be pasted up in the above-mentioned method, Compared with the mirror-surface-finish side of the silicon single crystal wafer 3, it is hard to paste up the surface of the polysilicon layer 5 as rough ****, and the fall of the yield in adhesion may be caused.

[0018](B) Explain the semiconductor substrate which has gettering capability next with reference to drawing 30.

[0019]Drawing 30 (a) is a sectional view of the conventional semiconductor substrate which gave gettering capability by the EG (Extrinsic Gettering) method. That is, the gettering layer 12 which has gettering capability is formed in the undersurface of the silicon single crystal substrate 1. The gettering layer 12 by methods, such as sandblasting, a laser beam, ion implantation, wrapping (lapping), grinding (grinding), and the scratch (scratch). the damaged layer formed in the undersurface of the substrate 1 – or it comprises a layer which generates distortion or crystal defects, such as polysilicon, an amorphous silicon, silicon nitride, and phosphorus glass, and the crystal defect etc. which were generated in the monocrystal substrate 1 are controlled.

[0020]drawing 30 (b) -- IG (Intrinsic Gettering) -- it is based on law. Namely, as the silicon single crystal substrate 1, the high ($14 - 17 \times 10^{17}$ atoms/cm³ (OLD ASTM display) grade) substrate of interstitial oxygen content (it is considered as $[\text{O}_i]$ below) is used, Before going this into a manufacturing process, by performing heat treatment of an elevated temperature (1000 ** – about 1200 **) and low temperature (700 ** – about 900 **) inside a substrate, Generating many crystal defects (high-density defect layer 13) near the surface of a substrate forms a field with few crystal defects (Denuded Zone, DZ layer 14). This high-density defect layer 13 has gettering capability, and makes DZ layer 14 an

element formation region.

[0021]However, there is the following problem in the substrate by the EG method shown in drawing 30 (a). (a) While the gettering layer 12 formed in the rear face repeats the process of device fabrication in process, film formation, and film peeling, it may disappear, and the gettering capability of it may be lost. (b) At the process of device fabrication in process, film formation, film peeling, and washing, a part of rear face of the silicon substrate which received the gettering layer 12 or the damage separates, and this serves as particle (particle, particle powder), and adheres to a device region. (c) When the gettering layer 12 comprises layers, such as polysilicon, there are problems, like curvature arises in the silicon substrate 1 by the difference of an thermal expansion coefficient between the gettering layer 12 and the silicon substrate 1. Each of these causes a fall of the manufacturing yield of a device.

[0022]In the substrate by the IG method shown in drawing 30 (b), a crystal defect remains in (a) DZ layer 14, and this causes a malfunction of a device. (b) Since the density of the crystal defect to generate changes greatly with differences in the heat history of the original ingot in which $[O_i]$ of the substrate used and its substrate are made, a difference arises in gettering capability. These a manufacturing yield of a device. [a fall and] [unstable]

[0023]

[Problem(s) to be Solved by the Invention]As stated until now, about a dielectric isolation substrate, each of substrates manufactured by the conventional melting recrystallizing method (drawing 26) or substrates (drawing 27) by the SIMOX method have the bad crystallinity of the active layer which forms a device, and it is unsuitable as a substrate of high integration and the device by which minuteness making was carried out.

[0024]The crystallinity of the active layer of the wafer (drawing 28) pasted up on both sides of the silicon oxide layer on the other hand is equivalent to the usual mirror wafer. In order to control crystal defects induced by processes, such as a trench process and a LOCOS process, such as a rearrangement and OSF, there is also a substrate (drawing 28 (b)) which provided the gettering layer which has gettering capability in the inside.

[0025]However, the dielectric isolation substrate by this method has the following problems. That is, since a coefficient of thermal expansion laminates a mutually different layer and is constituted, the (a) dielectric isolation substrate produces curvature in the substrate principal surface. In an exposure process, this causes trouble and it has been a big problem with large-caliber-izing of a substrate. (b) Since direct contact of a gettering layer and the active layer is carried out, many BMD(s) generate them in an active layer when heat-treating. (c) Since the gettering layer and the active layer have touched directly, it has an adverse effect on the electrical property of a device. (d) Constitute a substrate. Since two wafers are pasted up via a gettering layer, the adhesion yield falls.

[0026]Next, in the substrate (drawing 30 (a)) which gave gettering capability by the conventional EG method about the semiconductor substrate which has gettering capability. (a) There is a problem of a device fabrication (b) gettering layer being damaged, and generating particle, curvature occurring in the (c) board. [in which the gettering capability of the gettering layer formed in the rear face in process is extinguished]

[0027]In the substrate (drawing 30 (b)) by the conventional IG method, there are problems, like a difference has the gettering capability of the (b) board with which a crystal defect remains in the (a) DZ layer for every lot.

[0028]Also in [the purpose of this invention is to improve said problem of the conventional dielectric isolation substrate by wafer adhesion to the 1st, improve said problem of the semiconductor substrate which has the conventional gettering capability in the 2nd, and] which case, It has the stable gettering capability which can control crystal defects induced by the process, such as a rearrangement and OSF, It is providing the semiconductor substrate which has a dielectric separation semiconductor substrate which eases the adverse effect to the device property produced from the structure of a substrate, and prevents the curvature of a substrate, and from which improvement and stability of the manufacturing yield of a substrate and a device are acquired by these, its manufacturing method, and gettering capability, and its manufacturing method.

[0029]

[Means for Solving the Problem]A semiconductor substrate concerning claim 1 of this invention so that it may illustrate to drawing 1 and drawing 2, The 1st gettering layer 22a and the 2nd gettering layer 22b which have the gettering capability formed in each on the 1st principal surface 21a of the 1st

semiconductor single crystal layer (wafer) 21 and this 1st semiconductor single crystal layer, and the 1st principal surface and the 2nd principal surface 21b of an opposite hand, The 1st insulating layer 23a formed on an outside principal surface of the 1st gettering layer 22a, The 2nd insulating layer 23b (drawing 2) covered by the 2nd insulating layer 23b (drawing 1) or the protective layer 25 formed on an outside principal surface of the 2nd gettering layer 22b and the 2nd semiconductor single crystal layer (wafer) 24 formed on an outside principal surface of the 1st insulating layer 23a are provided.

[0030]An invention concerning claim 2 of this invention so that it may illustrate to drawing 4, drawing 5 or drawing 6, drawing 7, and drawing 8, A process of forming the 1st gettering layer 22a and the 2nd gettering layer 22b, respectively on the 1st principal surface of the 1st semiconductor single crystal layer 21, and the 2nd principal surface, A process of forming the 1st insulating layer 23a on an outside principal surface of the 1st gettering layer 22a, Further this layer by the protective layer 25 after formation for a process (drawing 4 (c)) of forming the 2nd insulating layer 23b on an outside principal surface of the 2nd gettering layer 22b, or the 2nd insulating layer 23b A wrap process (drawing 7 (e)), It is a manufacturing method of the semiconductor substrate possessing a process of forming the 2nd semiconductor single crystal layer 24 by wafer adhesion art on an outside principal surface of the 1st insulating layer 23a according to claim 1.

[0031]A semiconductor substrate concerning said claim 1 and claim 2 is called a dielectric separation semiconductor substrate for convenience in this specification.

[0032]A desirable embodiment of the 1st and 2nd gettering layers that have the gettering capability concerning claim 1 and claim 2, A damaged layer by sandblasting, a damaged layer by a laser beam, A damaged layer by ion implantation, a damaged layer by a scratch, a damaged layer by wrapping or grinding, A polysilicon (polycrystalline silicon) layer, an amorphous silicon (amorphous silicon) layer, Either among a silicon nitride layer, a silicon oxide layer, a phosphorus glass layer, a high-concentration-impurities dope silicon layer, and a silicon layer that includes a crystal defect with high density It is comprising one layer or lamination of two or more layers.

[0033]A desirable embodiment of a high-density impurity dope silicon layer which has gettering capability, Either among Lynn (P), arsenic (As), antimony (Sb), boron (B), oxygen (O), germanium (germanium), and carbon (C) An impurity which consists of one sort or two or more sorts of elements is totaled. It is a silicon layer which is included as for more than 1×10^{16} atoms/cm³. A desirable embodiment of a silicon layer which includes the above-mentioned crystal defect with high density is either among a stacking fault, a rearrangement, a deposit, and a minute fault. One sort or two or more sorts of defects are totaled, and more than 10^6 KE / cm³ contain.

[0034]A desirable embodiment of the 1st and 2nd insulating layers concerning said claim 1 and claim 2 is either among a silicon oxide layer, a silicon nitride layer, and an alumina layer. It is comprising one layer or lamination of two or more layers.

[0035]A desirable embodiment of a protective layer concerning said claim 1 and claim 2 is either among a silicon nitride layer, a silicide layer, and a polysilicon layer. It is comprising one layer or lamination of two or more layers. When the 1st and 2nd insulating layers comprise a silicon nitride layer, it does not interfere, even if it omits a protective layer.

[0036]An invention concerning claim 3 of this invention so that it may illustrate to drawing 18 and drawing 19, A process of forming the gettering layer 32 which has gettering capability on the 1st principal surface 31a of the 1st semiconductor single crystal layer (wafer) 31, A process of forming the 2nd semiconductor single crystal layer (wafer) 33 by wafer adhesion art on an outside principal surface of the gettering layer 32, So that board thickness of a laminated circuit board which consists of the 1st semiconductor single crystal layer 31, the gettering layer 32, and the 2nd semiconductor single crystal layer 33 may be made into predetermined thickness and said gettering layer 32 may be located in the central part of a thickness direction of a laminated circuit board, It is a manufacturing method of a semiconductor substrate having the process of carrying out processing polish of both the 1st semiconductor single crystal layer 31, and the 2nd both [either or] 33.

[0037]An invention concerning claim 4 of this invention is the semiconductor substrate manufactured by the manufacturing method according to claim 3, as illustrated to drawing 16, and The 1st semiconductor single crystal layer 31, The gettering layer 32 which has the gettering capability formed on the 1st principal surface 31a of this 1st semiconductor single crystal layer 31, It has the 2nd semiconductor single crystal layer 33 formed on an outside principal surface of this gettering layer 32, and board thickness of this laminated circuit board is predetermined thickness, and it is a semiconductor

substrate, wherein the gettering layer 32 is located in the central part of a thickness direction of a laminated circuit board.

[0038]A semiconductor substrate concerning said claims 3 and 4 may be called for convenience a lamination board which has gettering capability in a detailed description of the invention.

[0039]Gettering capability concerning said claim 1 and claim 2. A desirable embodiment concerning a silicon layer which includes a high-concentration-impurities dope silicon layer and a crystal defect which have the gettering capability indicated in a desirable embodiment of the 1st and 2nd gettering layers it has, and this embodiment with high density, It is applicable as a desirable embodiment of a gettering layer which has the gettering capability concerning said claim 3 and claim 4.

[0040]According to the trial result, it is a desirable embodiment that it is mum, and, as for thickness of a gettering layer concerning claim 3 and claim 4, it is desirable to be located in less than $\pm 10\%$ of this substrate thickness from the center of a thickness direction of this gettering layer (0.5 thru/or 10).

[0041]

[Function]According to the composition of the dielectric separation semiconductor substrate concerning said claim 1 thru/or claim 2, the 1st gettering layer 22a that has gettering capability on both sides of the 1st insulating layer 23a is formed in the undersurface (drawing 1) of the 2nd semiconductor single crystal layer 24 used as the active layer in which an element is formed. Since this gettering layer 22a is excellent in the gettering capability of the metal impurity etc. which exist in an active layer in the process of being easy to produce the defect of process induction of a trench process, a LOCOS process, etc., Crystal defects induced by processes, such as a trench process and a LOCOS process, such as a rearrangement and OSF, can be controlled.

[0042]Since this gettering layer 22a is formed on both sides of the 1st insulating layer 23a, it can suppress that BMD occurs mostly in the device active layer 24, and does not have an adverse effect on the electrical property of a device.

[0043]The thickness (for example, about 500 micrometers) of the 1st semiconductor single crystal layer 21 used as a pedestal, Compared with the thickness (for example, about 20 micrometers) of the 2nd semiconductor single crystal layer (device active layer) 24, it is very thick, Since the 1st and 2nd gettering layers, the 1st insulating layer, and the 2nd insulating layer are provided in this the thick 1st semiconductor single crystal layer 21 upper part and bottom by respectively equivalent thickness, they can control the curvature of a substrate.

[0044]Since it is stuck to the 2nd semiconductor single crystal layer 24 on the 1st insulating layer 23a formed in the 1st semiconductor single crystal layer 21, \pm has still few possibilities of causing the fall of the adhesion yield. When the 2nd insulating layer 23b comprises substances other than silicon nitride, in order to protect the surface, the protective layer 25 is used.

[0045]According to the composition of the lamination board which has the gettering capability concerning said claims 3 and 4, the gettering layer 32, Since it is inserted into the 1st semiconductor single crystal layer 31 and the 2nd semiconductor single crystal layer 33 and is protected, gettering capability does not disappear in a device fabrication process like conventional technology. A gettering layer receives a damage and particle is not generated.

[0046]Furthermore, since said gettering layer 32 is located near the center of the thickness direction of a lamination board ($\pm 10\%$), it cannot be based on the kind of gettering layer, but can control generating of the curvature of a substrate.

[0047]If the thickness of the gettering layer 32 and gettering capability sufficient in 0.5 or less micrometer may not be acquired and 10 micrometers is exceeded, it is checked that there is a possibility of having influence harmful to the 1st semiconductor single crystal layer field used as a device active layer.

[0048]By composition of the lamination board which has said dielectric separation semiconductor substrate and gettering capability. Said each conventional problem improves, it has the stable gettering capability which can control the crystal defect of process induction in the case of which, the adverse effect to the device property produced from the structure of a substrate is eased, and the substrate which can prevent curvature is obtained.

[0049]

[Example]Hereafter, the example of this invention is described, referring to drawings.

[0050]Drawing 1 is a sectional view showing the 1st example of the structure of the dielectric separation semiconductor substrate concerning claim 1 of this invention. On the 1st principal surface 21a of the 1st semiconductor single crystal layer (silicon single crystal wafer) 21, and the 2nd principal

surface 21b, the amorphous silicon layer is formed as the 1st gettering layer 22a and the 2nd gettering layer 22b, respectively. On the 1st and 2nd gettering layers 22a and 22b of these both sides, the silicon nitride layer is formed as the 1st insulating layer 23a and the 2nd insulating layer 23b, respectively. Furthermore on the 1st insulating layer 23a, the 2nd semiconductor single crystal layer (single crystal silicon wafer by which processing polish was carried out at predetermined thickness) 24 used as a device active layer is formed.

[0051]It is possible to use these laminations, such as a polysilicon layer, an amorphous silicon layer, a silicon nitride layer, a high-concentration-impurities dope silicon layer, and a silicon layer that contains a defect with high density, as said gettering layer in this case.

[0052]As the 1st and 2nd insulating layers 23a and 23b, these laminations, such as a silicon oxide layer, a silicon nitride layer, and an alumina layer, can be used.

[0053]Drawing 2 is a sectional view showing the 2nd example of the structure of the dielectric separation semiconductor substrate concerning claim 1 of this invention. On the both principal planes of the 1st semiconductor single crystal layer (silicon single crystal wafer) 21, the polysilicon layer is formed, respectively as the 1st and 2nd gettering layers 22a and 22b. On the 1st and 2nd gettering layers 22a and 22b of these both sides, the silicon oxide layer is formed as the 1st insulating layer 23a and the 2nd insulating layer 23b, respectively. Furthermore on the 1st insulating layer 23a, the 2nd semiconductor single crystal layer (silicon single crystal wafer ground by predetermined thickness) 24 used as a device active layer is formed, and the silicon nitride layer is formed as the protective layer 25 on the 2nd insulating layer 23b.

[0054]In this case, it is possible to use the gettering layer and insulating layer which were explained in said 1st example as the 1st and 2nd gettering layers and the 1st and 2nd insulating layers.

[0055]As the protective layer 25, it is still more possible to use a silicon nitride layer, a silicide layer and polysilicon layers, or these laminations.

[0056]Drawing 3 is a sectional view showing the 3rd example that is an application of the structure of the dielectric separation semiconductor substrate concerning claim 1 of this invention. On the both principal planes of the 1st semiconductor single crystal layer (silicon single crystal wafer) 21, the silicon nitride layer is formed as the 1st insulating layer 26a that has gettering capability, and the 2nd insulating layer 26b. In this case, since a silicon nitride layer has a function as a gettering layer and it also has a function as a protective layer, a gettering layer and a protective layer are omissible. Then, the 2nd semiconductor single crystal layer (silicon single crystal wafer by which processing polish was carried out at predetermined thickness) 24 that becomes the upper surface of the 1st insulating layer 26a with a device active layer is formed.

[0057]Next, the manufacturing method of the dielectric separation semiconductor substrate of the above 1st thru/or the 3rd example is explained with reference to drawings.

[0058]Drawing 4 and drawing 5 are the manufacturing methods concerning claim 2 of this invention, and are each process sectional view showing a series of flows of the process about the case where the dielectric separation semiconductor substrate (drawing 1) concerning said 1st example is formed with wafer adhesion method.

[0059]In drawing 4 (a), the silicon single crystal wafer 21 (the 1st semiconductor single crystal layer) of the P type with which mirror polishing of the crystal orientation (111) was carried out first is prepared. In the figure (b), it is thickness abbreviation on the both principal planes of this silicon single crystal wafer 21. The 1-micrometer amorphous silicon layers 22a (the 1st gettering layer) and 22b (the 2nd gettering layer) are formed by a publicly known glow discharge part solution. In the figure (c), the silicon nitride layers 23a (the 1st insulating layer) and 23b (the 2nd insulating layer) about 1000 Å thick are formed with plasma CVD method on the amorphous silicon layers 22a and 22b.

[0060]Next, the silicon single crystal wafer 24 (the 2nd semiconductor single crystal layer) of the P type with which mirror polishing of the crystal orientation (111) was carried out in drawing 5 (d), The P type silicon single crystal wafer 21 in which the amorphous silicon layer and the silicon nitride layer were formed is stuck in the atmosphere, as mirror planes counter. Then, it is abbreviation at with the inside of a gas atmosphere ($N_2/O_2 = 4 / 1$ (volume ratio)), and a temperature of about 1100 °C conditions. Heat treatment of 2 hours is performed and let mutual adhesion of the wafer 21 and the wafer 24 be a firm thing. In drawing 5 (e), processing polish is carried out at the thickness (for example, about 10 micrometers) of a request of the pasted-up silicon single crystal wafer 24 with a grinder, and the dielectric separation semiconductor substrate of the 1st example shown in drawing 1 of this invention is

completed.

[0061]If the specific resistance of said P type silicon single crystal wafer, crystal orientation, a conductivity type, an oxygen density, etc. are beforehand determined by a device design, there will be no restriction in particular. As for the formation method and layer thickness of the amorphous silicon layers 22a and 22b and the silicon nitride layers 23a and 23b, it is needless to say that it is not limited to the described contents.

[0062]Drawing 6 thru/or drawing 8 are the manufacturing methods concerning claim 2 of this invention, and is each process sectional view showing a series of flows of the process about the case where the dielectric separation semiconductor substrate (drawing 2) concerning said 2nd example is formed with wafer adhesion method. A below different point from the 1st example is mainly carried out, and it explains.

[0063]In drawing 6 (a), the N type silicon single crystal wafer (the 1st semiconductor single crystal layer) 21 in which mirror polishing of the crystal orientation (100) was carried out is prepared first. Under the present circumstances, it shall leave the natural oxidation film on the silicon single crystal wafer 21. Next, in drawing 6 (b), it is thickness abbreviation on the both principal planes of this silicon single crystal wafer 21. The 1-micrometer polysilicon layers 22a (the 1st gettering layer) and 22b (the 2nd gettering layer) are formed with a CVD method. Next, in drawing 6 (c), the silicon oxide layers 23a (the 1st insulating layer) and 23b (the 2nd insulating layer) about 1000 Å thick are formed by thermal oxidation on the polysilicon layer of both sides.

[0064]Next, the N type silicon single crystal wafer 24 (the 2nd semiconductor single crystal layer) in which mirror polishing of the crystal orientation (100) was carried out in drawing 7 (d), It heat-treats by pasting up in the atmosphere the silicon single crystal wafer 21 in which the polysilicon layer and the silicon oxide layer were formed, as mirror planes counter. Next, in drawing 7 (e), it is thickness abbreviation. The 100-Å silicon nitride layer 25 (protective layer) is formed with plasma CVD method. Next, in drawing 8 (f), processing polish of the silicon single crystal wafer 24 used as the pasted-up device active layer is carried out at a request, for example, a thickness of about 10 micrometers, and the dielectric separation semiconductor substrate of the 2nd example shown in drawing 2 of this invention is completed.

[0065]The natural oxidation film which it left on the silicon single crystal wafer 21 in said drawing 6, Even if the operation which prevents silicon deposited on the wafer 21 from growing epitaxially with the following polysilicon layer formation process is carried out and it is not a natural oxidation film in particular, it may be an oxidizing film of suitable good for example, thickness. The formation method of the polysilicon layers 22a and 22b, the silicon oxide layers 23a and 23b, and the silicon nitride layer 25 and thickness are not limited to the described method.

[0066]As for the forming temperature of the protective layer 25, it is desirable to avoid and form 800 ** [order] temperature in order to, avoid generating of BMD in the silicon single crystal layer 24 used as an active layer if possible.

[0067]Drawing 9 and drawing 10 are each process sectional view showing a series of flows of the process about the case where the dielectric separation semiconductor substrate (drawing 3) of said 3rd example concerning the application of claim 1 of this invention is formed with wafer adhesion method. Since, as for this example, a silicon nitride layer has a function as a gettering layer, an insulating layer, and a protective layer, The P type silicon single crystal wafer 21 in which mirror polishing of the crystal orientation (111) was first carried out in . (a), i.e., drawing 9, which skip the process of forming the amorphous silicon layers 22a and 22b (the 1st and 2nd gettering layers) from the process shown in said drawing 4 and drawing 5 is prepared. On the both principal planes of the single crystal wafer 21 of the Drawing (b) small lever, it is thickness abbreviation. The silicon nitride layers 26a (the 1st insulating layer) and 26b (the 2nd insulating layer) which have 1 micrometer of gettering capability are formed with plasma CVD method. In drawing 10 (c), next, the P type silicon single crystal wafer 24 by which mirror polishing was carried out and said silicon single crystal wafer 21 of crystal orientation (111), After carrying out adhesion heat treatment, as shown in drawing 10 (d), processing polish of the silicon single crystal wafer 24 is carried out, it is considered as desired thickness, and the dielectric separation semiconductor substrate of the 3rd example shown in drawing 3 of this invention is completed.

[0068]Next, the trial result of having compared the dielectric separation semiconductor substrate of above-mentioned this invention with the semiconductor substrate by the conventional adhesion is explained with reference to drawing 11 thru/or drawing 15.

[0069]Drawing 11 measures the curvature (micrometer) of the substrate in the dielectric separation

semiconductor substrate (drawing 2) of the 2nd example of this invention, and the semiconductor substrate (drawing 28 (b)) possessing the gettering layer by the conventional adhesion. That is, with the conventional substrate, it turns out to not less than 50-micrometer curvature having occurred that it has stopped at around 10-micrometer curvature with the substrate of this invention. This became possible to obtain the stable high yield in the exposure process of device fabrication.

[0070]Drawing 12 The dielectric separation semiconductor substrate (drawing 2) of the 2nd example of this invention, with 800 ** and heat treatment of 3 hours in oxygen environment using the semiconductor substrate (drawing 28 (b)) and a gettering layer — an owner) by the conventional adhesion. It carries out by continuing 1000 ** and heat treatment of 16 hours, and the silicon single crystal layer 24 (this invention) by the side of an active layer and the BMD density (KE / cm^2) in three (conventional article) are measured with an optical microscope after light etching (Wright Etching). The histories (an ingot, an oxygen density [O_2], etc.) of the wafer used for production of a substrate are completely the same.

[0071]At this invention, it is a detection limit altogether to BMD before and behind 10^4 (KE / cm^2) having occurred in the conventional substrate from the figure. It turns out that below 1×10^3 (KE / cm^2) has become. It enabled this to obtain little stable high yield with poor device operation.

[0072]What (drawing 28 (a)) does not provide the thing (drawing 28 (b)) in which drawing 13 has a gettering layer with the dielectric separation semiconductor substrate (drawing 2) of the 2nd example of this invention, and the substrate by the conventional adhesion, and a gettering layer Three kinds of substrates are used, Defect density [in / CMOS device / (it is written as the elegance II the elegance I and conventionally an invention and conventionally) / which was created by the same process / each trench part] (KE / cm^2) It investigates.

[0073]The device (conventional article II) produced using the conventional substrate (drawing 28 (a), nothing [gettering layer]) so that more clearly than the figure, with the device (conventional article I) created using the device (invention) and the conventional substrate (drawing 28 (b)) and the gettering layer — the owner) which were created using the substrate of this invention, it turns out to many defects having occurred in the trench part that defective generating is controlled.

[0074]When the defect density of the trench part of the device which can furthermore be set in the elegance I this invention article and conventionally, and is kicked is measured, it turns out that defective generating by a trench part is most controlled for the direction of the device created using the substrate of this invention. It became possible to obtain the device of the high yield stable by this.

[0075]drawing 14 compares the last yield (relative ratio) about the CMOS device created by the respectively same process using the dielectric separation semiconductor substrate (drawing 2) of the 2nd example of this invention, and the semiconductor substrate (the drawing 28 (b) gettering layer — an owner) by the conventional adhesion. Average yield with the worse yield It is being referred to as 1. Variation is shown by the amount of [by which – seal in a figure passes along average value and – seal] vertical bar.

[0076]It turns out that the device (invention) of yield created from the figure to the device (conventional article) created using the conventional substrate using the substrate of this invention is better. Since this last yield includes the quality of the electrical property of a device (CMOS), it has brought a result in which the existence of the adverse effect to the device of some of BMD(s) in a device active layer or the polysilicon layer of the active layer bottom was also contained.

[0077]average yield of the one where drawing 15 is what compared the wafer adhesion yield (relative ratio) in the manufacturing process of the dielectric separation semiconductor substrate (drawing 2) of the 2nd example of this invention, and the conventional semiconductor substrate (drawing 28 (b)) and a gettering layer — an owner), and the yield is worse It is being referred to as 1.

[0078]It turns out that the substrate of yield of this invention on which the silicon single crystal wafer 24 was pasted up via the silicon oxide layer 23a is more expensive than the manufacturing method of the conventional substrate pasted up via the polysilicon layer so that more clearly than the figure. Thereby, the direction of the substrate of this invention shows that a manufacturing cost may be able to be made lower than the conventional substrate.

[0079]As explained in full detail until now, in the dielectric separation semiconductor substrate shown in Example 1 and Example 2, the 1st insulating layer 23a is inserted under the silicon single crystal layer 24 used as an active layer, and the 1st gettering layer 22a that has gettering capability is formed. In the

process of being easy to produce the defect of process induction of a trench process, a LOCOS process, etc., since the gettering capability of a metal impurity etc. is excellent, this 1st gettering layer 22a can control crystal defects induced by the process, such as a rearrangement and OSF. Since this gettering layer 22a is formed on both sides of the 1st insulating layer 23a, it can suppress that BMD occurs mostly in the device active layer 24, and does not have an adverse effect on the electrical property of a device. Since the insulating layer and the gettering layer are provided in the thick 1st silicon single crystal layer 21 upper part and bottom used as a pedestal by equivalent thickness, they can control curvature. Since the 2nd silicon single crystal layer 24 pastes up with the 1st insulating layer formed on the 1st silicon single crystal layer 21, there are still few possibilities of causing the fall of the adhesion yield.

[0080]In the dielectric separation semiconductor substrate of the 3rd example shown in drawing 3, since the 1st and 2nd silicon nitride layers 26a and 26b serve as the role of the 1st gettering layer 22a in the 1st example and the 2nd example, and the 2nd gettering layer 22b, an effect equivalent to the above is acquired.

[0081]As explained above, according to the dielectric separation semiconductor substrate concerning claim 1 thru/or claim 2, the problem of said conventional technology improves.

[0082]Drawing 16 is a sectional view showing the 1st example of the structure of a lamination board of having the gettering capability concerning claim 4 of this invention.

[0083]This lamination board is a substrate manufactured by the manufacturing method concerning below-mentioned claim 3, and The 1st silicon single crystal layer (the 1st semiconductor single crystal layer) 31, The 2nd silicon single crystal layer (the 2nd semiconductor single crystal layer) 33 formed on the outside principal surface of the gettering layer 32 formed on the 1st principal surface 31a of this layer is comprised, The 1st and 2nd silicon single crystal layers 31 and 33 are abbreviation, respectively. Processing polish is carried out at an equal thickness of 310 micrometers, and the gettering layer 32 is located in the central part of this lamination board.

[0084]As the gettering layer 32 in this case, sandblasting, a laser beam, The damaged layer by ion implantation, a scratch, etc. or a polysilicon layer, an amorphous silicon layer, a silicon nitride layer, a silicon oxide layer, a high-concentration-impurities dope silicon layer, or the phosphorus glass layers It is possible to use one layer or these laminations.

[0085]drawing 17 is the 2nd example of the lamination board which has the gettering capability concerning claim 4 of this invention -- said 1st example (drawing 16) -- once -- an example -- it is . The silicon oxide layer is formed in the undersurface of the 1st silicon single crystal layer (the 1st semiconductor single crystal layer) 31 as the 1st gettering layer 32. A polysilicon layer is formed in the outside principal surface (undersurface) of this 1st gettering layer 32 as the 2nd gettering layer 34, and the 2nd silicon single crystal layer 33 is formed in that outside principal surface (undersurface).

[0086]The lamination [as / in this 2nd example] of a layer where kinds differ as a gettering layer is possible. Further Lamination of three or more layers is also possible.

[0087]The inside of the example of the manufacturing method of the lamination board which has the gettering capability which drawing 18 and drawing 19 require for claim 3 of this invention, The gettering layer 32 is a sectional view showing a series of flows of the process about the case of sandblasting, a laser beam, ion implantation, the damaged layers by either of the scratches, or these laminations.

[0088]In drawing 18 (a), one side (the 1st principal surface 31a) of crystal orientation (100) prepares first the 1st silicon single crystal wafer 31 of the P type by which mirror polishing was carried out. In drawing 18 (b), the damaged layer (gettering layer) 32 is formed in the 1st principal surface 31a where mirror polishing of this wafer 31 was carried out by the sandblasting method. Next, one side of crystal orientation (100) prepares the 2nd silicon single crystal wafer 33 of the P type by which mirror polishing was carried out (a mirror plane is made into the 1st principal surface 33a). Next, in drawing 19 (c), the 1st silicon single crystal wafer 31 and the mirror polishing face 33a of the 2nd silicon single crystal wafer 33 are stuck in the atmosphere, as the gettering layer 32 is inserted in between. Then, it is abbreviation at with the inside of a gas atmosphere ($N_2/O_2 = 4 / 1$ (volume ratio)), and a temperature of about 1100 ** conditions. Heat treatment of 2 hours is performed and mutual adhesion with the 1st silicon single crystal wafer 31 and the 2nd silicon single crystal wafer 33 is made firm.

[0089]Next, in drawing 19 (d), the 1st and 2nd pasted-up silicon single crystal wafers 31 and 33 are shaved in the thickness (for example, respectively abbreviation 310 micrometers) of a request with a grinder, Furthermore mirror polishing of the surface (the 2nd principal surface 31b) of the wafer 31 is

carried out, and the lamination semiconductor substrate according to claim 4 is obtained.

[0090]The conductivity type of the used wafers 31 and 33 and crystal orientation are not limited to the described contents. If determined by a device design, it will not be limited in particular for the caliber of a wafer, specific resistance, crystal orientation, a conductivity type, and an oxygen density [O₂].

[0091]So that the gettering layer 32 may paste together again the processing polish shown in drawing 19 (d) to the predetermined value as which the thickness of the wafers 31 and 33 was mutually determined by the device design equally and it may be located in the central part of the thickness direction of a substrate. According to the surface state of a substrate, when you need adjustment, respectively, it carries out, in many cases, it is carried out, but it always does not carry out necessarily.

[0092]The inside of the example of the manufacturing method of the lamination board which has the gettering capability which drawing 20 and drawing 21 require for claim 3 of this invention, The gettering layer 32 is either among a silicon oxide layer, a silicon nitride layer, and a high-concentration-impurities dope silicon layer. It is a sectional view showing a series of flows of the process about the case of one layer or these laminations. A different point from the manufacturing method shown in drawing 18 and drawing 19 is mainly explained.

[0093]As the 1st silicon single crystal wafer 31 shown in drawing 20 (a) is prepared and it is shown in the figure (b), a silicon oxide layer is formed in both sides as the gettering layer 32. In the example of drawing 18, it differs in that it is carried out to both sides at this example to formation of the gettering layer 32 being performed on one side of the wafer 31.

[0094]For this reason, after carrying out adhesion heat treatment of both the wafers shown in drawing 21 (c), in order to remove the gettering layer 32 formed on one principal surface of the silicon single crystal wafer 31 at least in the processing polishing process shown in drawing 21 (d), processing polish or etching is indispensable. Other portions are the same as that of said drawing 18 and the explanation in 19.

[0095]Drawing 22 and drawing 23 are the process sectional views showing a series of flows of the process of creating the 2nd example (drawing 17) of the lamination board which has the gettering capability concerning claim 4 of this invention using wafer adhesion method. A different point from the manufacturing method shown in drawing 18 and drawing 19 is mainly explained.

[0096]First, in drawing 22 (a), the 1st silicon single crystal wafer 31 is prepared, and about 1000-Å silicon oxide layer 32 is formed by thermal oxidation processing as the 1st gettering layer 32 on these both sides in drawing 22 (b). Next, in drawing 22 (c), a polysilicon layer about 1 micrometer thick is formed in one of the fields of this silicon oxide layer 32 with a CVD method as the 2nd gettering layer 34.

[0097]Next, in drawing 23 (d), heat treatment is performed, after pasting up in the atmosphere, as the 1st and 2nd gettering layers 32 and 34 are inserted in between the 1st silicon single crystal wafer 31 and the 2nd silicon single crystal wafer 33. Next, in drawing 23 (e), the pasted-up wafers 31 and 33 are shaved in the thickness (for example, respectively abbreviation 310 micrometers) of a request with a grinder, mirror polishing of the surface of the wafer 31 is carried out further, and the 2nd example (drawing 17) of the lamination board which has the gettering capability of this invention is completed. In this case, since formation of the 1st gettering layer 32 is carried out to both sides of the 1st silicon single crystal layer 31, it becomes indispensable at least after adhesion heat treatment processing polish of one principal surface of the 1st silicon single crystal layer 31 or etching.

[0098]Although the 1st gettering layer 32 is a silicon oxide layer and the case where the 2nd gettering layer was a polysilicon layer was shown by this example, it is also possible to combine other gettering layers. Unless the caliber of a wafer, specific resistance, the crystal orientation of a field, a conductivity type, an oxygen density [O₂], etc. conflict with a device design, there is no restriction. The thickness of the silicon oxide layer (the 1st gettering layer) 32 formed by this example, and the polysilicon layer (the 2nd gettering layer) 34, The strength of gettering capability is changeable by changing not the thing limited to the described thickness but the thickness of the 1st and 2nd gettering layers.

[0099]Drawing 24 measures and compares curvature (micrometer) with elegance this invention article and conventionally about the lamination board which has gettering capability. It is considered as the lamination board which has a lamination gettering layer which consists of the silicon oxide layer 32 and the polysilicon layer 34 of said 2nd example (what is shown in drawing 17) as this invention article. Conventionally, as elegance, it is a substrate of composition of being shown in drawing 30 (a), and is abbreviation as the gettering layer 12 to the rear face of the silicon single crystal substrate 1. It is

considered as the substrate in which the 1-micrometer-thick polysilicon layer was formed.

[0100]As drawing 24 shows, in elegance, it turns out conventionally to not less than 50-micrometer curvature having generated large one that it remains in around 10-micrometer curvature with this invention article. It enabled this to obtain the stable high yield in the exposure process under device fabrication.

[0101]Drawing 25 compares the last yield (relative ratio) about the CMOS device created by the same process, respectively using a substrate with elegance the invention concerning trial of drawing 24, and conventionally. Average yield with the worse yield (conventional article) It is being referred to as 1.

[0102]Conventionally, to elegance, the device of yield created using the substrate of this invention article is better, and drawing 25 shows that the width of the variation is also narrowly stable. This is considered that the difference of the amount of particles generations and the difference of influence at the device fabrication process of the durability of gettering capability besides the difference of the influence by the yield in the exposure process of the device fabrication by the difference in the curvature shown by drawing 24 are included.

[0103]Since according to the lamination board which has the gettering capability concerning claims 3 and 4 a gettering layer is inserted into the 1st and 2nd semiconductor single crystal layers and is protected, as explained above, Like a conventional example, gettering capability does not disappear in a device fabrication process, and there is also no generating of the particle by a gettering layer. Furthermore, since this gettering layer is located near the center of the thickness direction of a substrate, it cannot be based on the kind of gettering layer, but can suppress generating of curvature.

[0104]According to the lamination board of this invention, it has been improved and the problem of conventional technology was able to aim at improvement and stability of the manufacturing yield of a device so that the above example might also show.

[0105]

[Effect of the Invention]As explained in full detail until now, by the invention concerning claims 1 and 2 of this invention. By the invention which can improve said problem of the conventional dielectric separation semiconductor substrate by wafer adhesion, and relates to claims 3 and 4 of this invention. Also in the case where said problem of the semiconductor substrate which has the conventional gettering capability can be improved, and they are any, It has the stable gettering capability which can control crystal defects induced by the process, such as a rearrangement and OSF, Ease the adverse effect to the device property produced from the structure of a substrate, and the curvature of a substrate is prevented, The lamination semiconductor substrate which has a dielectric separation semiconductor substrate from which improvement and stability of the manufacturing yield of a substrate and a device are acquired by these, its manufacturing method, and gettering capability, and its manufacturing method were able to be provided.

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-29911

(43)公開日 平成7年(1995)1月31日

(51)Int.Cl.⁶
H 0 1 L 21/322

識別記号 庁内整理番号
P 8617-4M
N 8617-4M
Q 8617-4M
B

F I

技術表示箇所

27/12

審査請求 未請求 請求項の数4 F D (全 14 頁)

(21)出願番号 特願平5-192853

(22)出願日 平成5年(1993)7月7日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 天井 勉

神奈川県川崎市幸区堀川町72 株式会社東

芝堀川町工場内

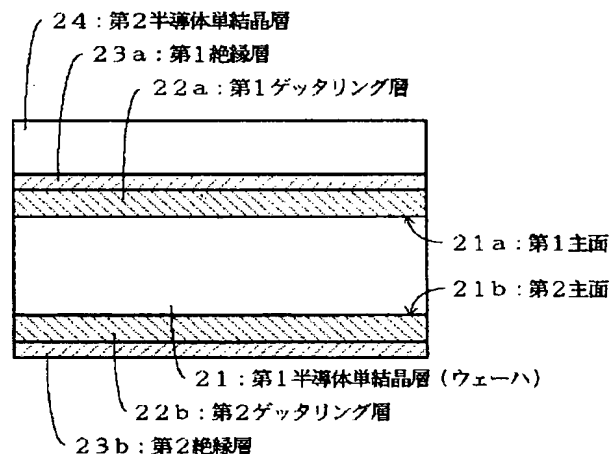
(74)代理人 弁理士 諸田 英二

(54)【発明の名称】 半導体基板とその製造方法

(57)【要約】

【目的】2枚のウェーハを接着して成る誘電体分離半導体基板及びEG法によるゲッタリング層を有する半導体基板におけるそれぞれの問題点を改善し、プロセス誘起の転位、OSF等の結晶欠陥を抑制できる安定したゲッタリング能力を有し、基板の構造から生ずるデバイス特性への悪影響を緩和し、基板の反りを防止し、デバイスの製造歩留まりの向上と安定を図る。

【構成】本発明の誘電体分離半導体基板は、台となる厚い第1半導体層と、第1半導体層の両主面上に形成される第1及び第2ゲッタリング層と、このゲッタリング層の外側両主面上に形成される第1及び第2絶縁層と、第1絶縁層の外側主面に接着される活性層の第2半導体層とから構成される。またEG法による前記基板は、2枚のウェーハをゲッタリング層を間に挟み貼り合わせた基板で、板厚が所定厚さに、ゲッタリング層が基板の厚さ方向の中心部に位置するよう加工研磨された基板である。



【特許請求の範囲】

【請求項1】第1半導体単結晶層と、この第1半導体単結晶層の第1主面上及び第1主面と反対側の第2主面上のそれぞれに形成されるゲッターリング能力を有する第1ゲッターリング層及び第2ゲッターリング層と、第1ゲッターリング層の外側主面上に形成される第1絶縁層と、第2ゲッターリング層の外側主面上に形成される第2絶縁層或いは保護層で覆われた第2絶縁層と、第1絶縁層の外側主面上に形成される第2半導体単結晶層とを、具備することを特徴とする半導体基板。

【請求項2】第1半導体単結晶層の第1主面上及び第2主面上にそれぞれ第1ゲッターリング層及び第2ゲッターリング層を形成する工程と、第1ゲッターリング層の外側主面上に第1絶縁層を形成する工程と、第2ゲッターリング層の外側主面上に第2絶縁層を形成する工程或いは第2絶縁層を形成後さらに該層を保護層で覆う工程と、第1絶縁層の外側主面上に、ウェーハ接着技術により第2半導体単結晶層を形成する工程とを、具備することを特徴とする請求項1記載の半導体基板の製造方法。

【請求項3】第1半導体単結晶層の第1主面上にゲッターリング能力を有するゲッターリング層を形成する工程と、該ゲッターリング層の外側主面上にウェーハ接着技術により第2半導体単結晶層を形成する工程と、第1半導体単結晶層、ゲッターリング層及び第2半導体単結晶層からなる積層基板の板厚を所定の厚さにすると共に前記ゲッターリング層が積層基板の厚さ方向の中心部に位置するように、第1半導体単結晶層及び第2半導体単結晶層のいずれか一方或いは両方を加工研磨する工程とを、有することを特徴とする半導体基板の製造方法。

【請求項4】第1半導体単結晶層と、この第1半導体単結晶層の第1主面上に形成されたゲッターリング能力を有するゲッターリング層と、このゲッターリング層の外側主面上に形成される第2半導体単結晶層とを有し、この積層基板の板厚が所定の厚さであると共にゲッターリング層が積層基板の厚さ方向の中心部に位置することを特徴とする半導体基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体基板及びその製造方法に関するもので、特にゲッターリング能力を有する誘電体分離基板または貼り合わせ基板に係るものである。

【0002】

【従来の技術】

(A) 従来、誘電体分離構造を持つ半導体装置の一例として図29に示すような構造のものが知られている。同図において、シリコン単結晶層1及びシリコン単結晶層3は絶縁層2を介し、互いに誘電体分離される。シリコン単結晶層3には、この半導体装置を構成する複数の素子が形成され、活性層と呼ばれる。この活性層は、トレ

ンチと呼ばれる溝により、複数の素子形成領域に分割される。図29では、トレンチは、絶縁層4、ポリシリコン層5により充填され、素子形成領域には、N⁻型シリコン層（コレクタ領域）6、N型不純物拡散層（コレクタコンタクト領域）7、P型不純物拡散層（ベース領域）8、及びN型不純物拡散層（エミッタ領域）9が形成されている。

【0003】また前記誘電体分離構造を持つ半導体装置の基板の製造方法としては図26ないし図28に示すようなものが知られている。

【0004】図26は、熔融再結晶法による製造方法を説明するための断面図である。すなわちシリコン単結晶層（ウェーハ）1上に、酸化シリコン（SiO₂）層2を設けた後、この酸化シリコン層2上にポリシリコン層5（またはアモルファスシリコン層5a、）を堆積形成する。そしてレーザーまたは電子ビーム10を照射し熔融再結晶させることにより順次シリコン単結晶層（活性層）を固相成長させる方法である。

【0005】図27は、SIMOX（Separation by Implanted Oxygen）法による製造方法を説明するための断面図である。シリコン単結晶ウェーハ1に酸素イオン（¹⁶O⁺ または ³²O₂⁺）11を注入することにより、酸化シリコン層2を埋め込む。次にこのイオン注入時に誘起される欠陥を除去するため、高温アニールを行なう。この後、目的に合わせた活性層の厚さを確保するため、エピタキシャル成長を行なう。

【0006】図28（a）は、ウェーハ接着による製造方法を説明するための断面図である。すなわち2枚のシリコン単結晶ウェーハ1及び3を使用し、その一方（または両方）のウェーハを熱酸化することにより、酸化シリコン層2を形成する。この後、2枚のシリコン単結晶ウェーハ1及び3を、酸化シリコン層2を挟んで互いに接着する。そしてシリコン単結晶ウェーハ3の表面を、必要な厚さまで加工研磨する。

【0007】しかしながら、これら図26より図28（a）に示す方法には、それぞれ以下に示すような問題点がある。

【0008】図26に示す熔融再結晶法においては、この方法により形成される活性層が、結晶性に劣るため高集積デバイスに使用することができない。

【0009】また図27に示すSIMOX法においては、イオン注入を行なうため、活性層がダメージ（damage損傷）を受け、結晶性に劣る。またエピタキシャル成長を行なう際に、そのダメージがエピタキシャル層に影響し、高集積デバイスに使用するには不適當である。

【0010】また図28（a）に示すウェーハ接着による製法においては、上述した2つの製造方法のような欠点がなく、活性層の結晶性の点では、通常のミラーウェーハ（鏡面研磨されたウェーハ）と同等である。

【0011】ところが素子を形成する活性層側のシリコ

ン単結晶ウェーハ3では、トレンチ工程、LOCOS (Local Oxidation of Silicon) 工程等のプロセス誘起の欠陥を生じやすい工程において、基板によるゲッタリング能力が期待できず、転位、OSF (Oxidation-induced Stacking Fault) 等の結晶欠陥が生じることがある。

【0012】この問題を解決するために、図28 (b) に示すように、酸化シリコン層2とデバイス活性層側のシリコン単結晶ウェーハ3との間に、ポリシリコン層 (バッファ層またはゲッタリング層とも呼ぶ) 5を設け、プロセス誘起の欠陥を生じやすい工程における金属不純物をゲッタリングすることにより、トレンチ工程、LOCOS工程等のプロセスにより誘起される転位、OSF等の結晶欠陥を抑制することが行なわれている。

【0013】しかしながら図28 (b) に示すゲッタリング能力を持つポリシリコン層を設けた誘電体分離基板においては、また次のような問題がある。

【0014】(a) 活性層であるシリコン単結晶層 (ウェーハ) 3の厚さは、通常 $20\mu\text{m}$ 以下になるように加工研磨される。これに対し台となるシリコン単結晶層1の厚さは通常 $500\mu\text{m}$ 程度である。したがって熱膨張係数が単結晶シリコンよりも小さい酸化シリコン (SiO_2) 層及びポリシリコン層が基板の上側に偏って存在することになるために、活性層となるシリコン単結晶層3側が凸になるような反りを生ずる。これにより露光工程において支障をきたし、所望の素子パターン形成が難しくなる。

【0015】(b) ポリシリコン層を有する基板は、熱処理を行なうことによって、ポリシリコン層の周辺に、ポリシリコン層を持たない基板よりも多くのBMD (Bulk Micro Defect) を生ずることが知られているが、図28 (b) に示す構造では、活性層となるシリコン単結晶層3とポリシリコン層5とが直接接しているため、BMDがデバイスの活性層内に多く発生し、デバイスの特性、歩留まりに悪影響を及ぼすと考えられる。

【0016】(c) ポリシリコン層5がデバイス活性層3と直接接しているため、その界面状態により、デバイスの電気的特性に悪影響を及ぼすと考えられる。

【0017】(d) 上記の方法では、シリコン単結晶ウェーハ1の上に酸化シリコン層2及びポリシリコン層5を堆積し、そのポリシリコン層5の面とデバイス活性層側のシリコン単結晶ウェーハ3を接着することになっているが、ポリシリコン層5の表面は、シリコン単結晶ウェーハ3の鏡面加工面に比べて粗であって接着しにくく、接着における歩留まりの低下を招くことがある。

【0018】(B) 次にゲッタリング能力を有する半導体基板について、図30を参照して説明する。

【0019】図30 (a) は、EG (Extrinsic Gettering) 法により、ゲッタリング能力を与えた従来の半導体基板の断面図である。すなわちシリコン単結晶基板1

の下面にゲッタリング能力を有するゲッタリング層12を形成したものである。ゲッタリング層12は、サンドブラスト、レーザービーム、イオン打ち込み、ラッピング (lapping)、グラインディング (grinding)、スクラッチ (scratch) 等の方法により、基板1の下面に形成されたダメージ層か、もしくはポリシリコン、アモルファスシリコン、窒化シリコン、リンガラス等の歪みまたは結晶欠陥を発生させる層から構成され、単結晶基板1内に発生した結晶欠陥などを抑制する。

【0020】図30 (b) は、IG (Intrinsic Gettering) 法によるものである。すなわちシリコン単結晶基板1として、格子間酸素含有量 (以下 $[\text{O}_i]$ とする) の高い ($14\sim 17\times 10^{17}\text{ atoms/cm}^3$ (OLD ASTM 表示) 程度) 基板を用い、これを製造プロセスに入る前に、高温 ($1000^\circ\text{C}\sim 1200^\circ\text{C}$ 程度) 及び低温 ($700^\circ\text{C}\sim 900^\circ\text{C}$ 程度) の熱処理を行なうことにより、基板の内部には、結晶欠陥を多く発生させ (高密度欠陥層13)、基板の表面付近は、結晶欠陥の少ない領域 (Denuded Zone, DZ層14) を形成する。この高密度欠陥層13がゲッタリング能力を持ち、DZ層14を素子形成領域とする。

【0021】しかしながら図30 (a) に示すEG法による基板には、次の問題点がある。(a) 裏面に形成したゲッタリング層12は、デバイス製造工程中、膜形成、膜剥離の工程を繰り返すうちに消滅してしまい、ゲッタリング能力がなくなることがある。(b) デバイス製造工程中、膜形成、膜剥離、洗浄の工程で、ゲッタリング層12或いは、ダメージを受けたシリコン基板の裏面の一部が剥がれ、これがパーティクル (particle、微粒粉) となって、デバイス領域に付着する。(c) ゲッタリング層12が例えばポリシリコンなどの層から成る場合、ゲッタリング層12とシリコン基板1との熱膨張率の違いによりシリコン基板1に反りが生ずるなどの問題がある。これらは、いずれもデバイスの製造歩留まりの低下の原因となる。

【0022】また図30 (b) に示すIG法による基板では、(a) DZ層14内に結晶欠陥が残ってしまい、これがデバイスの動作不良の原因となる。(b) 使用基板の $[\text{O}_i]$ 及びその基板が作られる元のインゴットの熱履歴の違いにより、発生する結晶欠陥の密度が大きく異なるため、ゲッタリング能力に差が生ずる。これらは、デバイスの製造歩留まりの低下及び不安定の原因となる。

【0023】

【発明が解決しようとする課題】これまで述べたように、誘電体分離基板について、従来の熔融再結晶法 (図26) により製造された基板或いはSIMOX法による基板 (図27) は、いずれもデバイスを形成する活性層の結晶性が悪く、高集積化、微細化されたデバイスの基板としては不適當である。

【0024】一方、酸化シリコン層を挟んで接着したウェーハ（図28）の活性層の結晶性は通常のミラーウェーハと同等である。またトレンチ工程、LOCOS工程等のプロセスにより誘起される転位、OSF等の結晶欠陥を抑制するために、ゲッターリング能力を有するゲッターリング層を内部に設けた基板（図28（b））もある。

【0025】しかしながらこの方法による誘電体分離基板は、次のような問題がある。すなわち（a）誘電体分離基板は、熱膨張係数が互いに異なる層を積層して構成されているので、基板主面に反りを生ずる。これにより露光工程において支障をきたし、基板の大口径化に伴い大きな問題となっている。（b）ゲッターリング層と活性層とは直接接触するので、熱処理に際し活性層内に多くのBMDが発生する。（c）ゲッターリング層と活性層とが直接接しているためデバイスの電気的特性に悪影響を及ぼす。（d）基板を構成する2枚のウェーハは、ゲッターリング層を介して接着されるので、接着歩留まりが低下する。

【0026】次にゲッターリング能力を有する半導体基板について、従来のEG法によりゲッターリング能力を与えた基板（図30（a））では、（a）デバイス製造工程中に裏面に形成したゲッターリング層のゲッターリング能力が消滅してしまう、（b）ゲッターリング層が破損してパーティクルが発生する、（c）基板に反りが発生する等の問題がある。

【0027】従来のIG法による基板（図30（b））では、（a）DZ層に結晶欠陥が残る、（b）基板のゲッターリング能力がロットごとに差がある等の問題点がある。

【0028】本発明の目的は、第1にウェーハ接着による従来の誘電体分離基板の前記問題点を改善することであり、第2に従来のゲッターリング能力を有する半導体基板の前記問題点を改善し、いずれの場合においても、プロセスにより誘起される転位、OSF等の結晶欠陥を抑制できる安定したゲッターリング能力を有し、基板の構造から生ずるデバイス特性への悪影響を緩和し、基板の反りを防止し、これらにより基板及びデバイスの製造歩留まりの向上と安定が得られる誘電体分離半導体基板とその製造方法並びにゲッターリング能力を有する半導体基板とその製造方法を提供することである。

【0029】

【課題を解決するための手段】本発明の請求項1に係る半導体基板は、図1及び図2に例示するように、第1半導体単結晶層（ウェーハ）21と、この第1半導体単結晶層の第1主面21a上及び第1主面と反対側の第2主面21b上のそれぞれに形成されるゲッターリング能力を有する第1ゲッターリング層22a及び第2ゲッターリング層22bと、第1ゲッターリング層22aの外側主面上に形成される第1絶縁層23aと、第2ゲッターリング層22bの外側主面上に形成される第2絶縁層23b（図

1）或いは保護層25で覆われた第2絶縁層23b（図2）と、第1絶縁層23aの外側主面上に形成される第2半導体単結晶層（ウェーハ）24とを、具備することを特徴とするものである。

【0030】本発明の請求項2に係る発明は、図4、図5或いは図6、図7、図8に例示するように、第1半導体単結晶層21の第1主面上及び第2主面上にそれぞれ第1ゲッターリング層22a及び第2ゲッターリング層22bを形成する工程と、第1ゲッターリング層22aの外側主面上に第1絶縁層23aを形成する工程と、第2ゲッターリング層22bの外側主面上に第2絶縁層23bを形成する工程（図4（c））、或いは第2絶縁層23bを形成後さらに該層を保護層25で覆う工程（図7

（e））と、第1絶縁層23aの外側主面上に、ウェーハ接着技術により第2半導体単結晶層24を形成する工程とを、具備することを特徴とする請求項1記載の半導体基板の製造方法である。

【0031】前記請求項1及び請求項2に係る半導体基板は、本明細書においては、便宜上、誘電体分離半導体基板と呼ぶ。

【0032】請求項1及び請求項2に係るゲッターリング能力を有する第1及び第2ゲッターリング層の望ましい実施態様は、サンドブラストによるダメージ層、レーザービームによるダメージ層、イオン打ち込みによるダメージ層、スクラッチによるダメージ層、ラッピングやグライインディングによるダメージ層、ポリシリコン（多結晶シリコン）層、アモルファスシリコン（非晶質シリコン）層、窒化シリコン層、酸化シリコン層、リンガラス層、高濃度不純物ドーブシリコン層、結晶欠陥を高密度に含むシリコン層のうち、いずれか1つの層または複数層の積層から構成されることである。

【0033】またゲッターリング能力を有する高密度不純物ドーブシリコン層の望ましい実施態様は、リン（P）、ヒ素（As）、アンチモン（Sb）、ボロン（B）、酸素（O）、ゲルマニウム（Ge）、炭素（C）のうち、いずれか1種または複数種の元素からなる不純物を、合計して 1×10^{16} atoms/cm³以上含むシリコン層である。また上記結晶欠陥を高密度に含むシリコン層の望ましい実施態様は、積層欠陥、転位、析出、微小欠陥のうち、いずれか1種または複数種の欠陥を合計して 10^6 ケ/cm³以上含んでいるものである。

【0034】前記請求項1及び請求項2に係る第1及び第2絶縁層の望ましい実施態様は、酸化シリコン層、窒化シリコン層、及びアルミナ層のうち、いずれか1つの層または複数層の積層から構成されることである。

【0035】前記請求項1及び請求項2に係る保護層の望ましい実施態様は、窒化シリコン層、シリサイド層及びポリシリコン層のうち、いずれか1つの層または複数層の積層から構成されることである。また第1及び第2絶縁層が、窒化シリコン層で構成される場合には、保護

層を省略しても差支えない。

【0036】本発明の請求項3に係る発明は、図18及び図19に例示するように、第1半導体単結晶層（ウェーハ）31の第1主面31a上にゲッターリング能力を有するゲッターリング層32を形成する工程と、ゲッターリング層32の外側主面上にウェーハ接着技術により第2半導体単結晶層（ウェーハ）33を形成する工程と、第1半導体単結晶層31、ゲッターリング層32及び第2半導体単結晶層33からなる積層基板の板厚を所定の厚さにすると共に前記ゲッターリング層32が積層基板の厚さ方向の中心部に位置するように、第1半導体単結晶層31及び第2半導体単結晶層33のいずれか一方或いは両方を加工研磨する工程とを、有することを特徴とする半導体基板の製造方法である。

【0037】本発明の請求項4に係る発明は、図16に例示するように請求項3記載の製造方法により製造された半導体基板であって、第1半導体単結晶層31と、この第1半導体単結晶層31の第1主面31a上に形成されたゲッターリング能力を有するゲッターリング層32と、このゲッターリング層32の外側主面上に形成される第2半導体単結晶層33とを有し、この積層基板の板厚が所定の厚さであると共にゲッターリング層32が積層基板の厚さ方向の中心部に位置することを特徴とする半導体基板である。

【0038】前記請求項3及び4に係る半導体基板は、本発明の詳細な説明においては、便宜上、ゲッターリング能力を有する貼り合わせ基板と呼ぶこともある。

【0039】前記請求項1及び請求項2に係るゲッターリング能力を有する第1及び第2ゲッターリング層の望ましい実施態様並びに該実施態様中に記載されているゲッターリング能力を有する高濃度不純物ドーパントシリコン層及び結晶欠陥を高密度に含むシリコン層に係る望ましい実施態様は、前記請求項3及び請求項4に係るゲッターリング能力を有するゲッターリング層の望ましい実施態様として適用できる。

【0040】また請求項3及び請求項4に係るゲッターリング層の厚さは、試行結果によれば、（0.5ないし10） μm であることが望ましい実施態様であり、またこのゲッターリング層の厚さ方向の中心からこの基板厚さの $\pm 10\%$ 以内に位置することが望ましい。

【0041】

【作用】前記請求項1ないし請求項2に係る誘電体分離半導体基板の構成によれば、素子が形成される活性層となる第2半導体単結晶層24の下面（図1）に第1絶縁層23aを挟んでゲッターリング能力を有する第1ゲッターリング層22aが設けられている。このゲッターリング層22aは、トレンチ工程、LOCOS工程等のプロセス誘起の欠陥を生じやすい工程において、活性層に存在する金属不純物等のゲッターリング能力が優れているため、トレンチ工程、LOCOS工程等のプロセスにより誘起

される転位、OSF等の結晶欠陥を抑制することができる。

【0042】またこのゲッターリング層22aは、第1絶縁層23aを挟んで設けられているから、デバイス活性層24内にBMDが多く発生するのを抑えることができ、またデバイスの電気的特性に悪影響を与えることがない。

【0043】基台となる第1半導体単結晶層21の厚さ（例えば500 μm 程度）は、第2半導体単結晶層（デバイス活性層）24の厚さ（例えば20 μm 程度）に比べ極めて厚く、また第1及び第2ゲッターリング層並びに第1絶縁層及び第2絶縁層はこの厚い第1半導体単結晶層21の上側と下側とにそれぞれ同等の厚さで設けられているから、基板の反りを抑制できる。

【0044】さらに第2半導体単結晶層24は、第1半導体単結晶層21に形成された第1絶縁層23a上に密着されるため、接着歩留まりの低下を招くおそれが少ない。また第2絶縁層23bが窒化シリコン以外の物質で構成されている場合、その表面を保護するため保護層25が使用される。

【0045】前記請求項3及び4に係るゲッターリング能力を有する貼り合わせ基板の構成によれば、ゲッターリング層32は、第1半導体単結晶層31と第2半導体単結晶層33に挟まれ保護されているので、従来技術のようにデバイス製造工程中にゲッターリング能力が消えてしまうことはない。またゲッターリング層がダメージを受け、パーティクルを発生することもない。

【0046】さらに前記ゲッターリング層32は、貼り合わせ基板の厚さ方向の中心付近（ $\pm 10\%$ ）に位置しているため、ゲッターリング層の種類によらず基板の反りの発生を抑制することができる。

【0047】またゲッターリング層32の厚さは、0.5 μm 以下では十分なゲッターリング能力が得られない場合があり、10 μm を越えるとデバイス活性層となる第1半導体単結晶層領域に有害な影響を及ぼすおそれがあることが確認されている。

【0048】前記誘電体分離半導体基板及びゲッターリング能力を有する貼り合わせ基板の構成により、それぞれの前記従来の問題点は改善され、いずれの場合においても、プロセス誘起の結晶欠陥を抑制できる安定したゲッターリング能力を有し、基板の構造から生ずるデバイス特性への悪影響を緩和し、反りを防止できる基板が得られる。

【0049】

【実施例】以下、図面を参照しながら本発明の実施例について説明する。

【0050】図1は、本発明の請求項1に係る誘電体分離半導体基板の構造の第1実施例を示す断面図である。第1の半導体単結晶層（シリコン単結晶ウェーハ）21の第1主面21a上及び第2主面21b上には、それぞ

れ第1ゲッタリング層22a及び第2ゲッタリング層22bとしてアモルファスシリコン層が形成されている。また、この両側の第1及び第2ゲッタリング層22a及び22bの上には、それぞれ第1絶縁層23a及び第2絶縁層23bとして窒化シリコン層が形成されている。さらに第1絶縁層23aの上にはデバイス活性層となる第2半導体単結晶層（所定の厚さに加工研磨された単結晶シリコンウェーハ）24が形成されている。

【0051】この場合の前記ゲッタリング層としては、ポリシリコン層、アモルファスシリコン層、窒化シリコン層、高濃度不純物ドーパントシリコン層、欠陥を高密度に含むシリコン層等、またはこれらの積層を使用することが可能である。

【0052】また第1及び第2絶縁層23a及び23bとしては、酸化シリコン層、窒化シリコン層、及びアルミナ層など、またはこれらの積層を使用することができ

る。

【0053】図2は、本発明の請求項1に係る誘電体分離半導体基板の構造の第2実施例を示す断面図である。第1半導体単結晶層（シリコン単結晶ウェーハ）21の両主面上には第1及び第2のゲッタリング層22a及び22bとして、それぞれポリシリコン層が形成されている。またこの両側の第1及び第2ゲッタリング層22a及び22bの上には、それぞれ第1絶縁層23a及び第2絶縁層23bとして酸化シリコン層が形成されている。さらに第1絶縁層23a上には、デバイス活性層となる第2半導体単結晶層（所定の厚さに研磨されたシリコン単結晶ウェーハ）24が形成され、第2絶縁層23b上には保護層25として窒化シリコン層が形成されている。

【0054】この場合、第1及び第2ゲッタリング層並びに第1及び第2絶縁層としては、前記第1実施例で説明したゲッタリング層及び絶縁層を使用することが可能である。

【0055】さらに保護層25としては、窒化シリコン層、シリサイド層及びポリシリコン層あるいはこれらの積層を使用することが可能である。

【0056】図3は、本発明の請求項1に係る誘電体分離半導体基板の構造の応用例である第3実施例を示す断面図である。第1半導体単結晶層（シリコン単結晶ウェーハ）21の両主面上には、ゲッタリング能力を有する第1絶縁層26a及び第2絶縁層26bとして、窒化シリコン層が形成されている。この場合、窒化シリコン層がゲッタリング層としての機能を有し、かつ保護層としての機能も有するため、ゲッタリング層及び保護層を省略することができる。そこで、第1絶縁層26aの上面に、デバイス活性層となる第2半導体単結晶層（所定の厚さに加工研磨されたシリコン単結晶ウェーハ）24が形成されている。

【0057】次に上記第1ないし第3実施例の誘電体分

離半導体基板の製造方法について図面を参照して説明する。

【0058】図4及び図5は、本発明の請求項2に係る製造方法で、前記第1実施例に係る誘電体分離半導体基板（図1）を、ウェーハ接着法により形成した場合について、その工程の一連の流れを示す各工程断面図である。

【0059】図4（a）において、まず結晶方位（111）の鏡面研磨されたP型のシリコン単結晶ウェーハ21（第1半導体単結晶層）を用意する。同図（b）において、このシリコン単結晶ウェーハ21の両主面上に、厚さ約1 μ mのアモルファスシリコン層22a（第1ゲッタリング層）及び22b（第2ゲッタリング層）を、公知のグロー放電分解法により形成する。同図（c）において、アモルファスシリコン層22a及び22bの上に、厚さ約1000 \AA の窒化シリコン層23a（第1絶縁層）及び23b（第2絶縁層）をプラズマCVD法により形成する。

【0060】次に図5（d）において、結晶方位（111）の鏡面研磨されたP型のシリコン単結晶ウェーハ24（第2半導体単結晶層）と、アモルファスシリコン層及び窒化シリコン層が形成されたP型シリコン単結晶ウェーハ21とを、鏡面同士が対向するようにして大気中で密着する。この後、ガス雰囲気（ $\text{N}_2/\text{O}_2 = 4/1$ （容積比））中、温度約1100 $^{\circ}\text{C}$ の条件で、約2時間の熱処理を行ない、ウェーハ21及びウェーハ24の相互の接着を強固なものとする。図5（e）において、接着されたシリコン単結晶ウェーハ24をグラインダーにて所望の厚さ（例えば約10 μ m）に加工研磨し、本発明の図1に示す第1実施例の誘電体分離半導体基板を完成する。

【0061】なお前記P型シリコン単結晶ウェーハの比抵抗、結晶方位、導電型、酸素濃度等は、あらかじめデバイス設計で決定されたものであれば特に制限はない。またアモルファスシリコン層22a、22b及び窒化シリコン層23a、23bの形成方法や層の厚さは、記した内容に限定されないことは勿論である。

【0062】図6ないし図8は、本発明の請求項2に係る製造方法で、前記第2実施例に係る誘電体分離半導体基板（図2）をウェーハ接着法により形成した場合について、その工程の一連の流れを示す各工程断面図である。以下第1実施例と異なる点を主にして説明する。

【0063】まず図6（a）において、結晶方位（100）の鏡面研磨されたN型シリコン単結晶ウェーハ（第1半導体単結晶層）21を用意する。この際、シリコン単結晶ウェーハ21上の自然酸化膜は残しておくものとする。次に図6（b）において、このシリコン単結晶ウェーハ21の両主面上に厚さ約1 μ mのポリシリコン層22a（第1ゲッタリング層）及び22b（第2ゲッタリング層）をCVD法により形成する。次に図6（c）

において、両側のポリシリコン層上に、厚さ約1000オングストロームの酸化シリコン層23a（第1絶縁層）及び23b（第2絶縁層）を、熱酸化により形成する。

【0064】次に図7（d）において、結晶方位（100）の鏡面研磨されたN型シリコン単結晶ウェーハ24（第2半導体単結晶層）と、ポリシリコン層及び酸化シリコン層が形成されたシリコン単結晶ウェーハ21とを、鏡面同士が対向するようにして大気中で接着し、熱処理を行なう。次に図7（e）において、厚さ約100オングストロームの窒化シリコン層25（保護層）をプラズマCVD法により形成する。次に図8（f）において、接着されたデバイス活性層となるシリコン単結晶ウェーハ24を、所望の例えば約10 μ mの厚さに加工研磨し、本発明の図2に示す第2実施例の誘電体分離半導体基板を完成する。

【0065】なお前記図6において、シリコン単結晶ウェーハ21上に残した自然酸化膜は、次のポリシリコン層形成工程で、ウェーハ21上に堆積したシリコンがエピタキシャル成長するのを防止する作用をするもので、特に自然酸化膜でなくとも良く、例えば適当な厚さの熱酸化膜であっても良い。またポリシリコン層22a、22b、酸化シリコン層23a、23b及び窒化シリコン層25の形成方法、厚さは記した方法に限定されるものではない。

【0066】なお、保護層25の形成温度は活性層となるシリコン単結晶層24中におけるBMDの発生をなるべく避けるため、800℃前後の温度を避けて形成することが望ましい。

【0067】図9及び図10は、本発明の請求項1の応用例に係る前記第3実施例の誘電体分離半導体基板（図3）をウェーハ接着法により形成した場合について、その工程の一連の流れを示す各工程断面図である。この例は窒化シリコン層が、ゲッタリング層、絶縁層及び保護層としての機能を兼ね備えるため、前記図4及び図5に示す工程からアモルファスシリコン層22a、22b

（第1及び第2ゲッタリング層）を形成する工程を省略したものである。すなわち図9（a）において、まず結晶方位（111）の鏡面研磨されたP型シリコン単結晶ウェーハ21を用意する。同図（b）においてこの単結晶ウェーハ21の両主面上に、厚さ約1 μ mのゲッタリング能力を有する窒化シリコン層26a（第1絶縁層）及び26b（第2絶縁層）を、プラズマCVD法により形成する。次に図10（c）において、結晶方位（111）の鏡面研磨されたP型シリコン単結晶ウェーハ24と前記シリコン単結晶ウェーハ21とを、接着熱処理した後、図10（d）に示すようにシリコン単結晶ウェーハ24を加工研磨して所望の層厚とし、本発明の図3に示す第3実施例の誘電体分離半導体基板を完成する。

【0068】次に上記本発明の誘電体分離半導体基板と従来の接着による半導体基板とを比較した試行結果につ

いて、図11ないし図15を参照して説明する。

【0069】図11は、本発明の第2実施例の誘電体分離半導体基板（図2）と、従来の接着によるゲッタリング層を具備した半導体基板（図28（b））とにおける基板の反り（ μ m）を測定したものである。すなわち従来の基板では、50 μ m以上の反りが発生しているのに対し、本発明の基板では、10 μ m前後の反りに止まっていることがわかる。これにより、デバイス製造の露光工程での安定した高歩留まりを得ることが可能となった。

【0070】図12は、本発明の第2実施例の誘電体分離半導体基板（図2）と、従来の接着による半導体基板（図28（b）、ゲッタリング層有）とを用いて、酸素雰囲気中で800℃、3時間の熱処理と、1000℃、16時間の熱処理とを続けて行ない、活性層側のシリコン単結晶層24（本発明）及び3（従来品）内のBMD密度（ $\text{ケ}/\text{cm}^2$ ）を、ライトエッチング（Wright Etching）後、光学顕微鏡により測定したものである。なお基板の作製に用いたウェーハの素性（インゴット、酸素濃度

【 O_2 】等）は全く同一である。

【0071】同図より、従来の基板では10⁴（ $\text{ケ}/\text{cm}^2$ ）前後のBMDが発生していたのに対し、本発明では、すべて検出限界の1 \times 10³（ $\text{ケ}/\text{cm}^2$ ）以下となっていることがわかる。これにより、デバイス動作不良の少ない安定した高歩留まりを得ることが可能となった。

【0072】図13は、本発明の第2実施例の誘電体分離半導体基板（図2）並びに従来の接着による基板でゲッタリング層を有するもの（図28（b））及びゲッタリング層を設けないもの（図28（a））の3種類の基板を使用し、同一プロセスにより作成したCMOSデバイス（発明品、従来品I及び従来品IIと略記）について、それぞれのトレンチ部における欠陥密度（ $\text{ケ}/\text{cm}^2$ ）を調べたものである。

【0073】同図より明らかなように従来の基板（図28（a）、ゲッタリング層無）を用いて作製したデバイス（従来品II）は、トレンチ部で多数の欠陥が発生しているのに対して、本発明の基板を用いて作成したデバイス（発明品）及び従来の基板（図28（b）、ゲッタリング層有）を用いて作成したデバイス（従来品I）では、欠陥発生が抑制されていることがわかる。

【0074】さらに本発明品と従来品Iにおけるデバイスのトレンチ部の欠陥密度を比較すると、本発明の基板を用いて作成したデバイスの方が最もトレンチ部での欠陥発生が抑制されていることがわかる。これにより安定した高歩留まりのデバイスを得ることが可能になった。

【0075】図14は本発明の第2実施例の誘電体分離半導体基板（図2）と従来の接着による半導体基板（図28（b）ゲッタリング層有）とを用い、それぞれ同一のプロセスにより作成したCMOSデバイスについての最終歩留まり（相対比）を比較したものである。歩留ま

りの悪い方の平均歩留まりを 1としている。なお図中の●印は平均値、●印を通る縦線分は、バラツキを示す。

【0076】同図から、従来の基板を用いて作成したデバイス（従来品）に対し、本発明の基板を用いて作成したデバイス（発明品）の方が歩留まりが良いことがわかる。なお、この最終歩留まりは、デバイス（CMOS）の電気的特性の良否を含んでいるので、デバイス活性層内のBMDの多少、或いは活性層下側のポリシリコン層のデバイスに対する悪影響の有無も含まれた結果となっている。

【0077】図15は、本発明の第2実施例の誘電体分離半導体基板（図2）と、従来の半導体基板（図28（b）、ゲッターリング層有）との製造工程におけるウェーハ接着歩留まり（相対比）を比較したもので、歩留まりの悪い方の平均歩留まりを 1としている。

【0078】同図より明かなように、酸化シリコン層23aを介してシリコン単結晶ウェーハ24を接着した本発明の基板の方が、ポリシリコン層を介して接着した従来の基板の製造方法より、歩留まりの高いことがわかる。これにより本発明の基板の方が従来の基板よりも製造コストを低くできる可能性のあることを示している。

【0079】これまで詳述したように、実施例1及び実施例2に示す誘電体分離半導体基板においては、活性層となるシリコン単結晶層24の下に第1絶縁層23aを挟んで、ゲッターリング能力を有する第1ゲッターリング層22aが設けられている。この第1ゲッターリング層22aは、トレンチ工程、LOCOS工程等のプロセス誘起の欠陥を生じやすい工程において、金属不純物等のゲッターリング能力が優れているため、プロセスにより誘起される転位、OSF等の結晶欠陥を抑制することができる。またこのゲッターリング層22aは、第1絶縁層23aを挟んで設けられているので、デバイス活性層24内にBMDが多く発生するのを抑えることができ、またデバイスの電気的特性に悪影響を与えることがない。また絶縁層及びゲッターリング層は、基台となる厚い第1シリコン単結晶層21の上側と下側とに同等の厚さで設けられているので、反りを抑制できる。さらに第2シリコン単結晶層24は、第1シリコン単結晶層21上に形成された第1絶縁層と接着されるので、接着歩留まりの低下を招くおそれが少ない。

【0080】図3に示す第3実施例の誘電体分離半導体基板では、第1及び第2窒化シリコン層26a及び26bが、第1実施例及び第2実施例における第1ゲッターリング層22a及び第2ゲッターリング層22bの役割を兼ねるので、上記と同等の効果が得られる。

【0081】以上説明したように、請求項1ないし請求項2に係る誘電体分離半導体基板によれば前記従来技術の問題点は改善される。

【0082】図16は、本発明の請求項4に係るゲッターリング能力を有する貼り合わせ基板の構造の第1実施例

を示す断面図である。

【0083】この貼り合わせ基板は、後述の請求項3に係る製造方法により製造された基板であって、第1シリコン単結晶層（第1半導体単結晶層）31と、この層の第1主面31a上に形成されたゲッターリング層32の外側主面上に形成される第2シリコン単結晶層（第2半導体単結晶層）33とから成り、第1及び第2シリコン単結晶層31及び33は、それぞれ約310 μm の等しい厚さに加工研磨され、ゲッターリング層32は、この貼り合わせ基板の中心部に位置する。

【0084】この場合のゲッターリング層32としては、サンドブラスト、レーザービーム、イオン打ち込み、スクラッチ等によるダメージ層、またはポリシリコン層、アモルファスシリコン層、窒化シリコン層、酸化シリコン層、高濃度不純物ドーパントシリコン層及びリンガラス層のうちのいずれか1層、またはこれらの積層を使用することが可能である。

【0085】図17は、本発明の請求項4に係るゲッターリング能力を有する貼り合わせ基板の第2実施例であって、前記第1実施例（図16）の一応用例である。第1シリコン単結晶層（第1半導体単結晶層）31の下面には、第1のゲッターリング層32として酸化シリコン層が形成されている。またこの第1ゲッターリング層32の外側主面（下面）には、第2のゲッターリング層34として、ポリシリコン層が形成され、その外側主面（下面）に第2シリコン単結晶層33が形成されている。

【0086】この第2実施例におけるように、ゲッターリング層としては、種類の異なる層の積層が可能である。またさらに3層以上の積層も可能である。

【0087】図18及び図19は、本発明の請求項3に係るゲッターリング能力を有する貼り合わせ基板の製造方法の実施例のうち、ゲッターリング層32が、サンドブラスト、レーザービーム、イオン打ち込み、スクラッチのいずれかによるダメージ層、またはこれらの積層の場合についての工程の一連の流れを示す断面図である。

【0088】図18（a）において、まず結晶方位（100）の片面（第1主面31a）が鏡面研磨されたP型の第1シリコン単結晶ウェーハ31を用意する。図18（b）において、このウェーハ31の鏡面研磨された第1主面31aにサンドブラスト法によりダメージ層（ゲッターリング層）32を形成する。次に結晶方位（100）の片面が鏡面研磨されたP型の第2シリコン単結晶ウェーハ33を用意する（鏡面を第1主面33aとする）。次に図19（c）において、第1シリコン単結晶ウェーハ31と、第2シリコン単結晶ウェーハ33の鏡面研磨面33aとを、ゲッターリング層32を間に挟むようにして大気中で密着する。この後、ガス雰囲気（ $\text{N}_2/\text{O}_2 = 4/1$ （容積比））中、温度約1100 $^{\circ}\text{C}$ の条件下で約2時間の熱処理を行ない、第1シリコン単結晶ウェーハ31と第2シリコン単結晶ウェーハ33との相互の接

着を強固なものにする。

【0089】次に図19（d）において、接着された第1及び第2のシリコン単結晶ウェーハ31及び33をグラインダーにて所望の厚さ（例えばそれぞれ約310 μm ）に削り、さらにウェーハ31の表面（第2主面31b）を鏡面研磨し、請求項4記載の貼り合わせ半導体基板が得られる。

【0090】なお使用したウェーハ31及び33の導電型、結晶方位は記した内容に限定されるものではない。またウェーハの口径、比抵抗、結晶方位、導電型、酸素濃度 $[\text{O}_i]$ 等については、デバイス設計で決定されたものであれば、特に限定されない。

【0091】また図19（d）に示す加工研磨は、ウェーハ31及び33の厚さが互いに等しくデバイス設計で定められた所定値に、またゲッタリング層32が貼り合わせ基板の厚さ方向の中心部に位置するように、また基板の表面状態により、それぞれ調整を必要とする場合に行なうもので、多くの場合行なわれるが、常に行なうというものではない。

【0092】図20及び図21は、本発明の請求項3に係るゲッタリング能力を有する貼り合わせ基板の製造方法の実施例のうち、ゲッタリング層32が、酸化シリコン層、窒化シリコン層、高濃度不純物ドーパントシリコン層のうちいずれか1層またはこれらの積層の場合についての工程の一連の流れを示す断面図である。図18及び図19に示す製造方法と異なる点について、主として説明する。

【0093】図20（a）に示す第1シリコン単結晶ウェーハ31を用意し同図（b）に示すように両面にゲッタリング層32として例えば酸化シリコン層を形成する。図18の実施例では、ゲッタリング層32の形成がウェーハ31の片面に行なわれるのに対し、本実施例では両面に行なわれる点異なる。

【0094】このため、図21（c）に示す両ウェーハを接着熱処理した後、図21（d）に示す加工研磨工程において、少なくともシリコン単結晶ウェーハ31の一方の主面の上に形成されたゲッタリング層32を除去するため、加工研磨もしくはエッチングが必須である。その他の部分は前記図18及び19における説明と同様である。

【0095】図22及び図23は、本発明の請求項4に係るゲッタリング能力を有する貼り合わせ基板の第2実施例（図17）を、ウェーハ接着法を用いて作成する工程の一連の流れを示す工程断面図である。図18及び図19に示す製造方法と異なる点について、主として説明する。

【0096】まず図22（a）において、第1シリコン単結晶ウェーハ31を用意し、図22（b）において、この両面上に第1のゲッタリング層32として約1000 \AA の酸化シリコン層32を熱酸化処理によ

り形成する。次に図22（c）において、この酸化シリコン層32のどちらか一方の面に、第2のゲッタリング層34として、約1 μm の厚さのポリシリコン層をCVD法により形成する。

【0097】次に図23（d）において、第1シリコン単結晶ウェーハ31と、第2シリコン単結晶ウェーハ33とを、第1及び第2のゲッタリング層32及び34を間に挟むようにして大気中で接着した後、熱処理を行なう。次に図23（e）において、接着されたウェーハ31及び33を、グラインダーにて所望の厚さ（例えば、それぞれ約310 μm ）に削り、さらにウェーハ31の表面を鏡面研磨し、本発明のゲッタリング能力を有する貼り合わせ基板の第2実施例（図17）を完成する。この場合、第1ゲッタリング層32の形成が、第1シリコン単結晶層31の両面に行なわれるため、接着熱処理後、少なくとも第1シリコン単結晶層31の一方の主面の加工研磨もしくはエッチングが必須となる。

【0098】本実施例では、第1のゲッタリング層32が酸化シリコン層で、かつ第2のゲッタリング層がポリシリコン層の場合について示したが、他のゲッタリング層を組み合わせることも可能である。また、ウェーハの口径、比抵抗、面の結晶方位、導電型、酸素濃度 $[\text{O}_i]$ 等は、デバイス設計に抵触しない限り、制限はない。また本実施例で形成した酸化シリコン層（第1ゲッタリング層）32及びポリシリコン層（第2ゲッタリング層）34の厚さは、記した厚さに限定されるものではなく、第1及び第2のゲッタリング層の厚さを変えることにより、ゲッタリング能力の強さを変えることができる。

【0099】図24は、ゲッタリング能力を有する貼り合わせ基板について、本発明品と従来品との反り（ μm ）を測定し、比較したものである。本発明品としては、前記第2実施例（図17に示すもの）の酸化シリコン層32とポリシリコン層34からなる積層ゲッタリング層を有する貼り合わせ基板とする。また従来品としては、図30（a）に示す構成の基板で、シリコン単結晶基板1の裏面に、ゲッタリング層12として約1 μm の厚さのポリシリコン層を形成した基板とする。

【0100】図24からわかるように、従来品では、大きいのは50 μm 以上の反りが発生しているのに対し、本発明品では、10 μm 前後の反りにとどまっていることがわかる。これによりデバイス製造中の露光工程での安定した高歩留まりを得ることが可能となった。

【0101】図25は、図24の試行に係る発明品と従来品との基板を用いて、それぞれ同一プロセスにより作成したCMOSデバイスについての最終歩留まり（相対比）を比較したものである。歩留まりの悪い方（従来品）の平均歩留まりを1としている。

【0102】図25より、従来品に対し、本発明品の基板を用いて作成したデバイスの方が歩留まりが良く、そ

のバラツキの幅も狭く安定していることがわかる。これは、図24で示した反りの違いによるデバイス製造の露光工程での歩留まりによる影響の差のほか、パーティクル発生量の差、及びゲッタリング能力の持続性のデバイス製造工程への影響の差も含まれていると考えられる。

【0103】以上説明したように、請求項3及び4に係るゲッタリング能力を有する貼り合わせ基板によれば、ゲッタリング層が第1及び第2の半導体単結晶層に挟まれ、保護されているため、従来例のように、デバイス製造工程中にゲッタリング能力が消えてしまうことがなく、またゲッタリング層によるパーティクルの発生もない。さらにこのゲッタリング層は基板の厚さ方向の中心付近に位置しているため、ゲッタリング層の種類によらず反りの発生を抑えることができる。

【0104】以上の実施例からもわかるように、本発明の貼り合わせ基板によれば、従来技術の問題点は改善され、デバイスの製造歩留まりの向上及び安定を図ることができた。

【0105】

【発明の効果】これまで詳述したように、本発明の請求項1及び2に係る発明により、ウェーハ接着による従来の誘電体分離半導体基板の前記問題点を改善することができ、また本発明の請求項3及び4に係る発明により、従来のゲッタリング能力を有する半導体基板の前記問題点を改善することができ、いずれの場合においても、プロセスにより誘起される転位、OSF等の結晶欠陥を抑制できる安定したゲッタリング能力を有し、基板の構造から生ずるデバイス特性への悪影響を緩和し、基板の反りを防止し、これらにより基板及びデバイスの製造歩留まりの向上と安定が得られる誘電体分離半導体基板とその製造方法、並びにゲッタリング能力を有する貼り合わせ半導体基板とその製造方法を提供することができた。

【図面の簡単な説明】

【図1】本発明の請求項1に係る誘電体分離半導体基板の構造の第1実施例を示す断面図である。

【図2】本発明の請求項1に係る誘電体分離半導体基板の構造の第2実施例を示す断面図である。

【図3】本発明の請求項1に係る誘電体分離半導体基板の構造の第3実施例を示す断面図である。

【図4】同図(a)、(b)及び(c)は、本発明の請求項2に係る製造方法の第1実施例で、その一連の流れを示す製造工程の断面図である。

【図5】同図(d)及び(e)は、図4(c)に示す工程に続く製造工程の断面図である。

【図6】同図(a)、(b)及び(c)は、本発明の請求項2に係る製造方法の第2実施例で、その一連の流れを示す製造工程の断面図である。

【図7】同図(d)及び(e)は、図6(c)に示す工程に続く製造工程の断面図である。

【図8】同図(f)は、図7(e)に示す工程に続く製

造工程の断面図である。

【図9】同図(a)及び(b)は、本発明の請求項1に係る前記第3実施例の誘電体分離半導体基板の製造方法の一連の流れを示す製造工程の断面図である。

【図10】同図(c)及び(d)は、図9(b)に示す工程に続く製造工程の断面図である。

【図11】本発明の第2実施例の誘電体分離半導体基板(図2、発明品と略記)と従来の半導体基板(図28(b)、従来品と略記)における反りの測定結果を示す図である。

【図12】発明品と従来品とにおけるBMD密度の測定結果を示す図である。

【図13】発明品、従来品、及び他の従来品(図28(a))のそれぞれの基板を用いたCMOSデバイスにおけるトレンチ部の欠陥密度の測定結果を示す図である。

【図14】発明品及び従来品のそれぞれの基板を用いたCMOSデバイスにおけるデバイス歩留まりを示す図である。

【図15】発明品及び従来品の製造工程におけるウェーハ接着歩留まりを示す図である。

【図16】本発明の請求項4に係る貼り合わせ基板の構造の第1実施例を示す断面図である。

【図17】本発明の請求項4に係る貼り合わせ基板の構造の第2実施例を示す断面図である。

【図18】同図(a)及び(b)は、本発明の請求項3に係り、かつ図16に示す貼り合わせ基板の製造方法の実施例で、その一連の流れを示す製造工程の断面図である。

【図19】同図(c)及び(d)は、図18(b)に示す工程に続く製造工程の断面図である。

【図20】同図(a)及び(b)は、本発明の請求項3に係り、かつ図16に示す貼り合わせ基板の製造方法のその他の実施例で、その一連の流れを示す製造工程の断面図である。

【図21】同図(c)及び(d)は、図20(b)に示す工程に続く製造工程の断面図である。

【図22】同図(a)、(b)及び(c)は、本発明の請求項3に係り、かつ図17に示す貼り合わせ基板の製造方法の実施例で、その一連の流れを示す製造工程の断面図である。

【図23】同図(d)及び(e)は、図22(c)に続く製造工程を示す断面図である。

【図24】図17に示すゲッタリング能力を有する貼り合わせ基板の第2実施例(発明品)と、図30(a)に示す従来のゲッタリング能力を有する基板(従来品)とにおける反りの測定結果を示す図である。

【図25】図24に係る発明品及び従来品のそれぞれを用いたCMOSデバイスにおけるデバイス歩留まりを示す図である。

【図26】従来の熔融再結晶法による誘電体分離半導体基板の製造方法を説明するための断面図である。

【図27】従来のSIMOX法による誘電体分離半導体基板の製造方法を説明するための断面図である。

【図28】従来のウェーハ接着による誘電体分離半導体基板の製造方法を説明するための断面図で、同図(a)は絶縁層を挟んで接着したもの、同図(b)は絶縁層とゲッタリング層とを挟んで接着したものである。

【図29】誘電体分離構造を持つ半導体装置の構成の一例を示す断面図である。

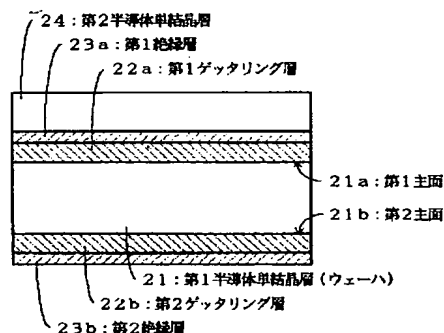
【図30】ゲッタリング能力を有する半導体基板の従来例を示す断面図であって、同図(a)はEG法により、同図(b)はIG法により、それぞれゲッタリング能力を与えたものである。

【符号の説明】

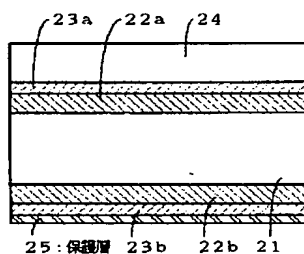
21 第1半導体単結晶層（第1シリコン単結晶層）

21a 第1主面
21b 第2主面
22a 第1ゲッタリング層
22b 第2ゲッタリング層
23a 第1絶縁層
23b 第2絶縁層
24 第2半導体単結晶層（第2シリコン単結晶層）
25 保護層
26a ゲッタリング能力を有する第1絶縁層
26b ゲッタリング能力を有する第2絶縁層
31 第1半導体単結晶層（第1シリコン単結晶層）
31a 第1主面
32, 34 ゲッタリング層
33 第2半導体単結晶層（第2シリコン単結晶層）

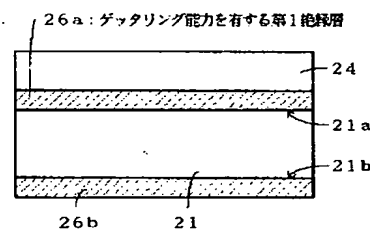
【図1】



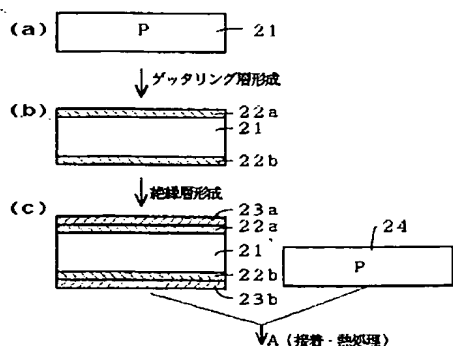
【図2】



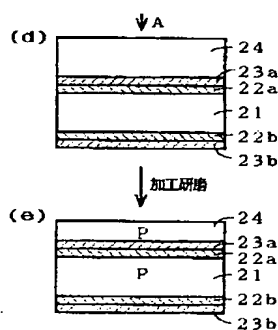
【図3】



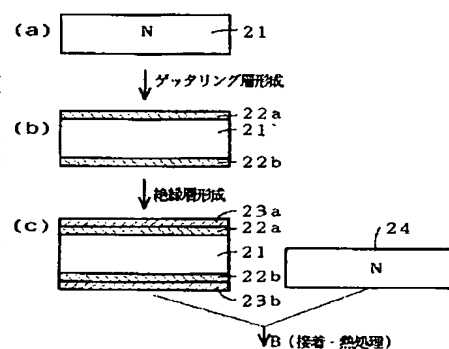
【図4】



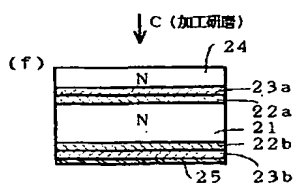
【図5】



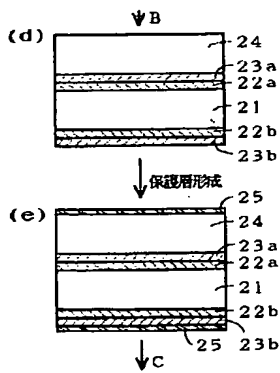
【図6】



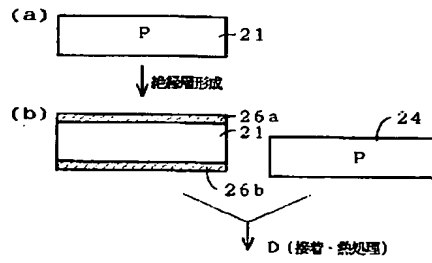
【図8】



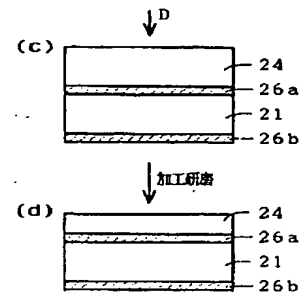
【図7】



【図9】



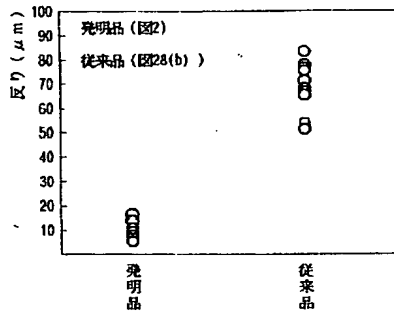
【図10】



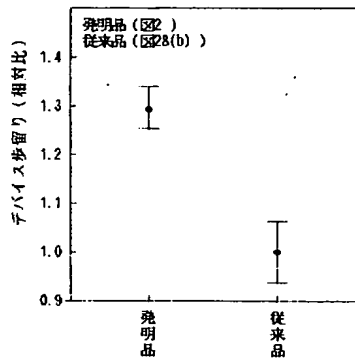
【図12】

【図13】

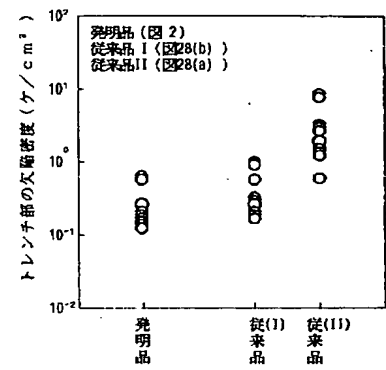
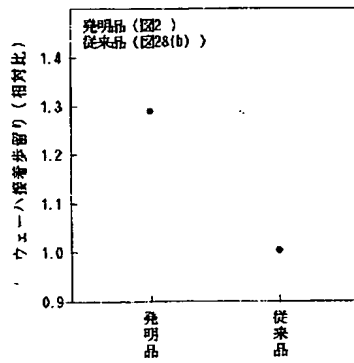
【図11】



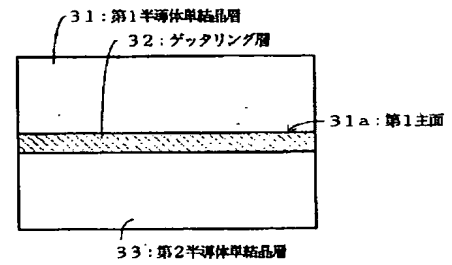
【図14】



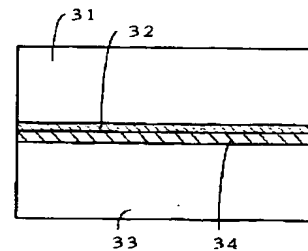
【図15】



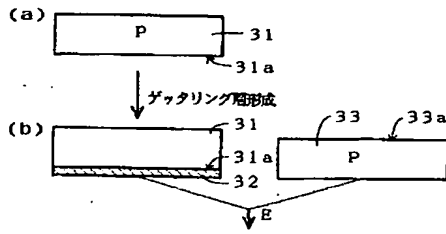
【図16】



【図17】

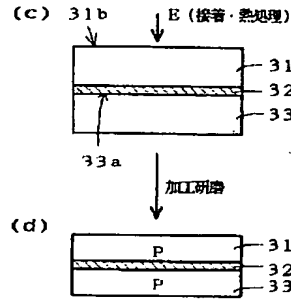


【図18】

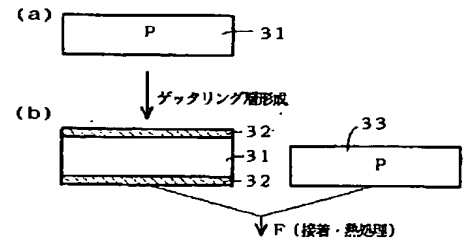


【図21】

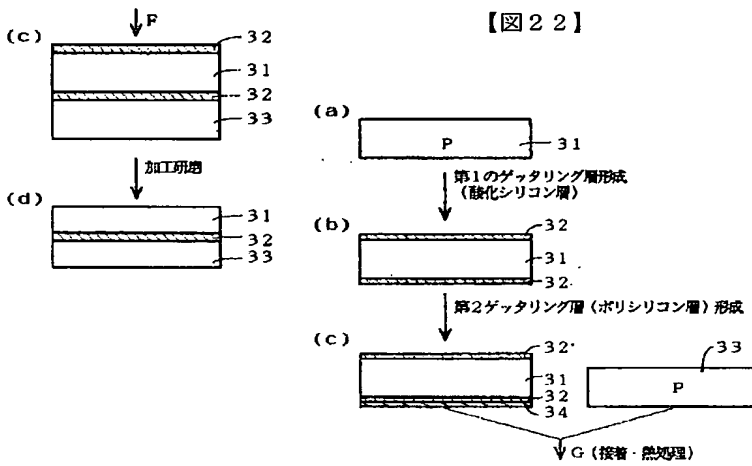
【図19】



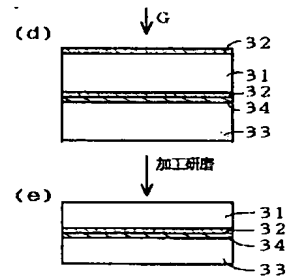
【図20】



【図22】

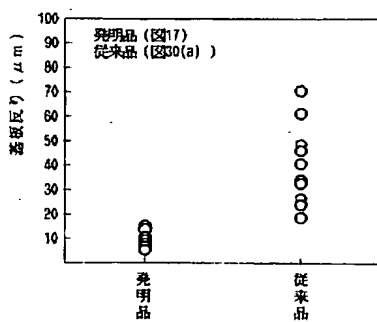


【図23】

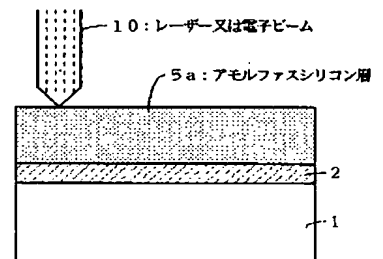
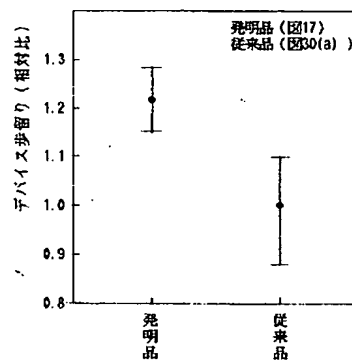


【図26】

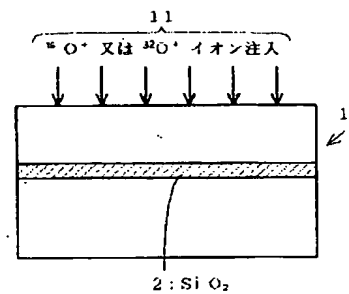
【図24】



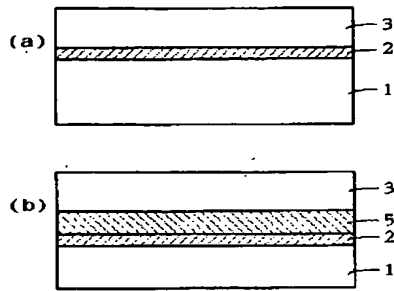
【図25】



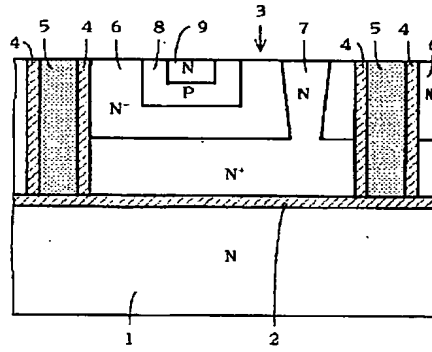
【図27】



【図 28】



【図 29】



【図 30】

